

厳環境下IoT向け3C-SiC技術研究会

ヘテロエピタキシーの 基礎と課題

佐藤勝昭

東京農工大学名誉教授

JST-CRDS特任フェロー

CONTENTS

1. はじめに—3C-SiC on Siの課題
2. エピタキシー入門
3. ヘテロエピタキシーと格子整合
4. 極性・無極性ヘテロ成長—アンチフェーズドメイン
5. 格子不整合がエピタキシャル成長に与える影響
6. 異種原子価ヘテロ成長
7. 格子不整合度がある場合の成長技術

1. はじめに

3C-SiC on Siの課題

物性	Si	3C-SiC	6H-SiC	4H-SiC
バンドギャップ(eV)	1.12	2.23	3.02	3.26
格子定数(nm)	0.543	0.436	a=0.309 c=1.512	a=0.309 c=1.008
絶縁破壊電界(MV/cm ⁻¹)	0.3	1.5	3.0	2.8
室温真性キャリア密度(cm ⁻³)	1x10 ¹⁰	1.5x10 ¹¹	1.6x10 ⁶	5x10 ⁹
電子移動度(cm ² V ⁻¹ s ⁻¹)	1350	1000	450(⊥c) 100(//c)	1000(⊥c) 1200(//c)
正孔移動度(cm ² V ⁻¹ s ⁻¹)	480	50	100	120
飽和電子速度(x10 ⁷ cms ⁻¹)	1	2.7	1.9	2.2
熱伝導率(Wcm ⁻¹)	1.48	4.9	4.9	4.9
線膨張係数(10 ⁻⁶ /K)@300K @1500K	2.6 4.6	3.8 5.5	4.3(⊥c)	NA
比誘電率	11.7	9.72	9.7(⊥c) 10.2(//c)	9.7(⊥c) 10.2(//c)

- ▶ SiCはパワーエレクトロニクスに欠かせない材料である。
- ▶ SiCには積層の仕方によって3C, 6H, 4Hの多形がある。
- ▶ 製造コスト低減と結晶の面積増大のために立方晶SiC (3C-SiC)のSi基板へのヘテロエピタキシーが期待されている。
- ▶ この技術に限界は、格子パラメータの不整合と熱膨張係数の不整合によっており、デバイス劣化をもたらす結晶欠陥およびウェハーの反りが起きる。

2. エピタキシー入門

エピタキシーとは

人工的なエピタキシー

ホモエピとヘテロエピ

ヘテロエピタキシーの分類

エピタキシーとは

- ▶ エピタキシーとは、基板結晶(下地)の上に基板結晶とある一定の結晶方位関係をもって結晶相を成長させる成長様式である。
- ▶ もともとは、鉱物学の分野で使われていた概念で、Landolt-Börnsteinのハンドブックシリーズに、Epitaxial Data of Inorganic and Organic Crystals^[ii]というのがあるが、その中で、例えば天然の鉱石中で閃亜鉛鉱 (α -ZnS)を基板として、黄銅鉱 (CuFeS_2)、コベリン (CuS)、キューバ鉱 (CuFe_2S_3)、ガレート (CuGaS_2)、白鉄鉱 (FeS_2)、黄鉄鉱 (FeS_2)、磁硫鉄鉱 (Fe_{1-x}S)、黄錫鉱 ($\text{Cu}_2\text{FeSnS}_4$)、ウルツ鉱 (β -ZnS)などの堆積物が基板と一定の方位関係で成長しているようすが分類整理され収録されているように、自然界ではいろいろなエピタキシーが知られているのである。次頁のTable 1にその抜粋を示す。

• ^[ii] Landolt-Börnstein, New Series III-8, "Epitaxy Data of Inorganic and Organic Crystals", K-H Hellwege ed., Springer, 1972.

αZnS への鉱物のエピタキシーの例

鉱物	面方位関係 [堆積物]/[基板]	軸方位関係 [堆積物]/[基板]	格子定数:基板 (Å)	格子定数:堆積物(Å)	格子不整合度 (%)
CuFeS ₂ (chalcopyrite)	(001)/(110)	[130]/[001]	7.68	10.32	-3.3
	(111)/(111)	[01-1]/[01-1]	5.43	4.15	-23.6
CuS鉱物 (covellite)	(0001)/(011)	[00·1]/[001]	3.84	3.80	-1.0
CuFe ₂ S ₃ (cubanite)	(001)/(011)	[010]/[100]	10.86	11.12	+2.4
CuGaS ₂ (gallate)	(001)/(100)	[110]/[01-1]	5.43	5.35	-1.5
Cu ₂ FeSnS ₄ (stannite)	(001)/(100)	[100]/[001]	5.43	5.47	+0.7



人工的なエピタキシー

- ▶ 近代的な結晶成長の分野では、何らかの基板の上に人工的に結晶方位の揃った薄膜結晶が成長する様をエピタキシャル成長と称している。
- ▶ 当初はdirectional overgrowth という用語が使われていたが、次第にepitaxial growthという用語に収束していった。
- ▶ ギリシャ語でepiは「上に」を意味する接頭辞、taxisは「整列」、「配向」を意味する語である。1960年代になると、半導体産業でシリコンのホモエピタキシーが開発され、基板より純度が高く欠陥も少ない高品質の薄膜結晶の上にトランジスタを作ることができるようになった。
- ▶ また、適切にドーブした薄膜結晶を積み重ねることによって、よい接合が得られるようになった。その後、GaAsデバイスの欠陥密度を低下させるために、GaAs基板上にGaAsをホモエピタキシャル成長させることが一般化した。

ホモエピタキシーとヘテロエピタキシー

- ▶ 成長したい薄膜と下地結晶が同じ場合をホモエピタキシー、異なる場合をヘテロエピタキシーという。
- ▶ ホモエピタキシーの例は多くない。なぜなら、成長した材料と同じバルク基板結晶を得る方が難しいからである。したがって、実際には、ヘテロエピタキシーの方が一般的である。
- ▶ 先に述べた鉱物の場合にも、自然界でヘテロエピタキシーが起きているのである。

ヘテロエピタキシーの分類*

1. エピタキシャル膜と基板結晶の結晶構造が同じで格子定数が近いグループ。次頁のTable 2に格子定数の近い半導体材料の組み合わせを掲げる。結晶材料全体から見れば例は少ない。

この場合はあまり工夫しなくてもよい結晶が得られる。

2. エピタキシャル膜と基板結晶の結晶構造が同じであるが格子不整合の程度が大きいグループ。

この場合は、バッファ層を挿入して歪みを緩和するなどの工夫をしないとよい結晶が得られない。

3. エピタキシャル膜と基板結晶の結晶構造が異なるグループ。

バッファ層として超格子層やアモルファス層を導入したり、ラテラル成長を利用したり、傾斜基板を用いたり大きな工夫をしないとよい結晶が得られない。

* 中嶋一雄：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第1章pp.1-20.

格子定数と結晶構造が近いヘテロエピの例*

材料	格子定数(Å)	結晶構造	材料名	格子定数(Å)	結晶構造
Si	5.4310	diamond	GaP	5.4505	sphalerite
			AlP	5.4635	sphalerite
			CaF ₂	5.4638	fluorite
Ge	5.679	diamond	GaAs	5.65325	sphalerite
			AlAs	5.660	sphalerite
			ZnSe	5.668	sphalerite
			ErAs	5.7427	rock salt
InP	5.894	sphalerite	CdS	5.825	sphalerite
			GdAs	5.860	rock salt
GaSb	6.094	sphalerite	AlSb	6.1355	sphalerite
			InAs	6.0583	sphalerite
			ZnTe	6.10	sphalerite
			CdSe	6.052	sphalerite
α-Sn	6.4892	sphalerite	InSb	6.478	sphalerite
			CdTe	6.482	sphalerite
GaN	$a=3.180c=5.166$	wurzite	AlN	$a=3.111c=4.980$	wurzite

*竹田美和：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第5章5.1項pp.171.

材料の組み合わせの違いに起因する問題

- ▶ 熱膨張係数の差によって、成長温度では格子整合しているが、室温では不整合となる場合がある。
- ▶ 無極性の半導体（シリコン）と極性の半導体（例えばGaAs）の組み合わせでは、**アンチフェイズドメイン**の問題がある。
- ▶ 同じ結晶構造の組み合わせであってもIII-V族基板上にII-VI族の薄膜を成長する場合のように**原子価の異なるヘテロ接合**の場合、界面は理想的なステップ状ではなくなっている。

3.ヘテロエピタキシーと格子整合

格子整合と格子不整合

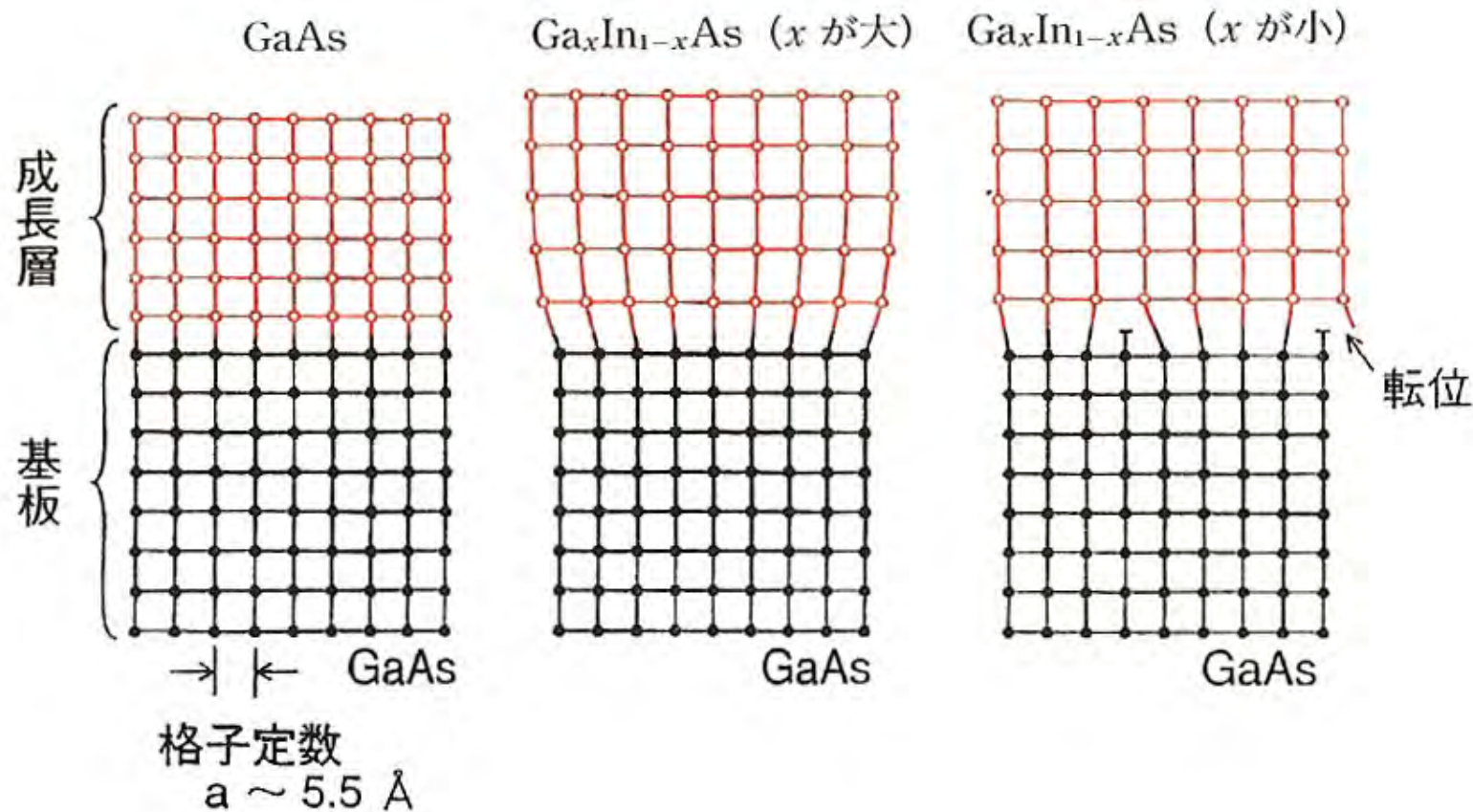
コヒーレント成長

臨界膜厚

臨界膜厚の計算式

熱膨張差の補正

格子整合と格子不整合

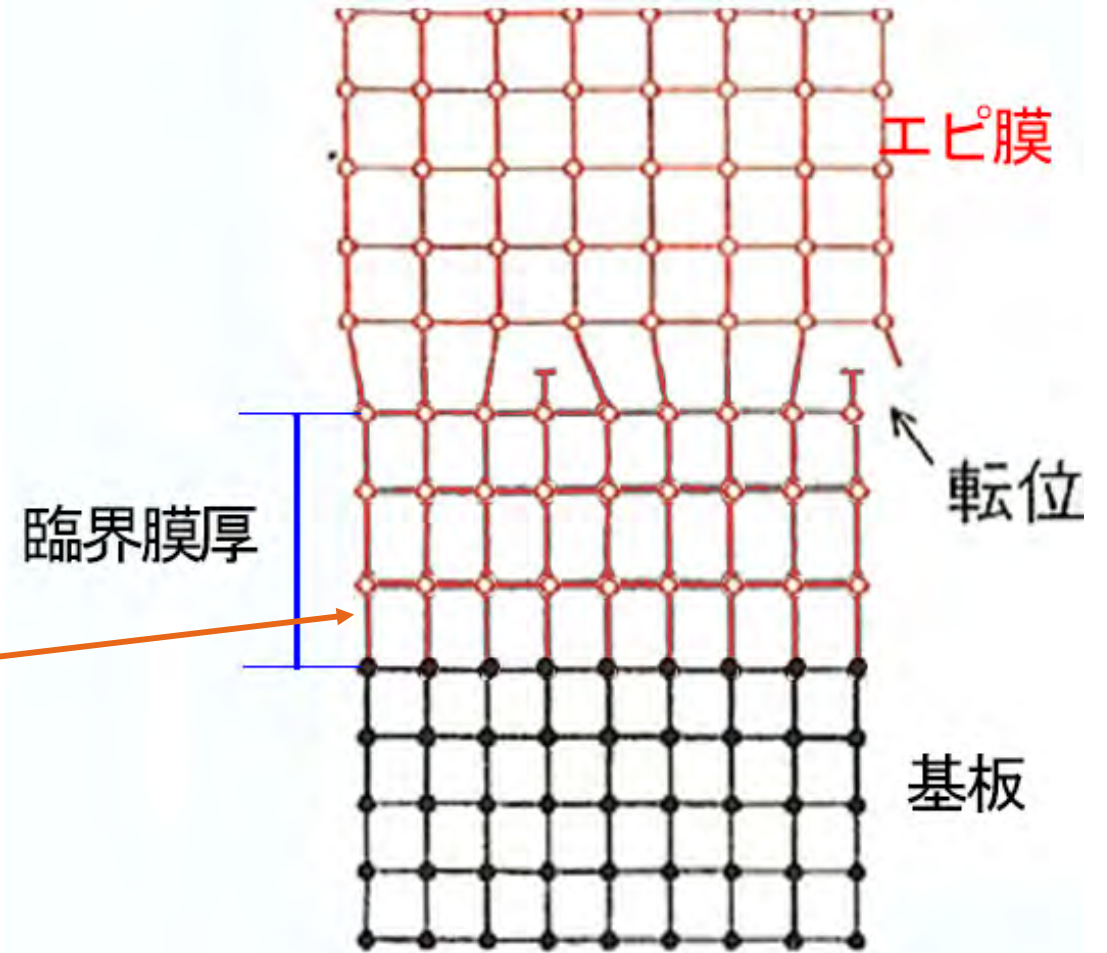


* 中嶋一雄：エピタキシャル成長のメカニズム（中嶋一雄編，共立出版、2002）第1章図1.2

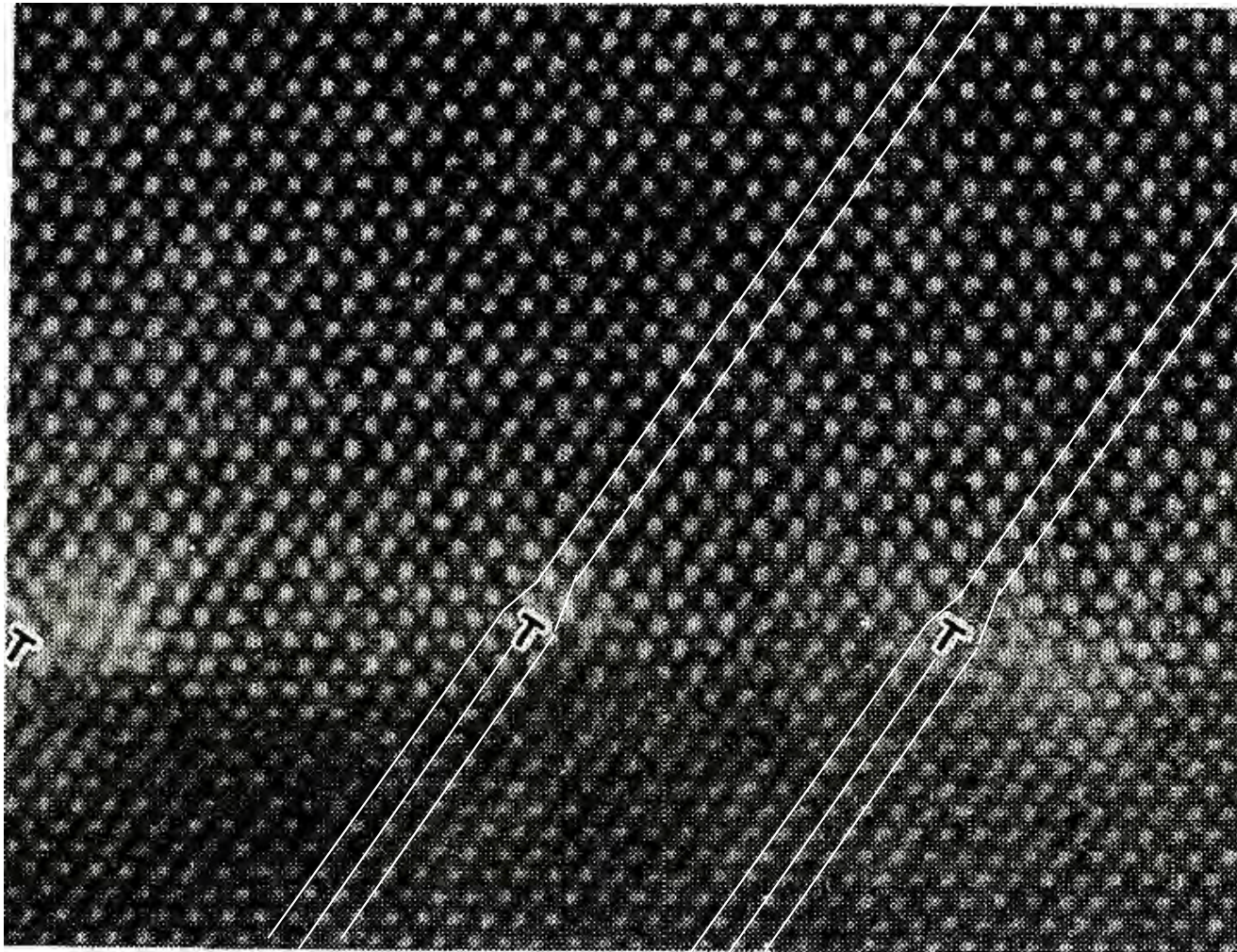
コヒーレント成長

- ▶ 基板とエピタキシャル膜の格子定数の差 Δa と基板の格子定数 a の比 $\Delta a/a$ を格子不整合度(lattice mismatch)という。
- ▶ エピタキシャル層の膜厚が十分薄い場合は、格子不整合が多少あったとしても、エピタキシャル層の格子が歪むことによって界面での格子の連続性を保って成長する。
- ▶ これをコヒーレント成長(coherent growth)またはコメンシュレート成長(commensurate growth)という。
- ▶ エピタキシャル層の格子定数が基板の格子定数と一致した状態を擬似格子整合(pseudomorphic)と表現することがある。この場合、格子体積を保存しようとして、界面に垂直な方向の格子定数が増える。

- ▶ コヒーレント成長している場合でも、膜厚がある値(臨界膜厚という)より大きくなると、歪みエネルギーを緩和するためにミスフィット転位(misfit dislocation)が発生して格子緩和し、本来の格子定数の値に近づく。



ミスフィット転移のTEM格子像



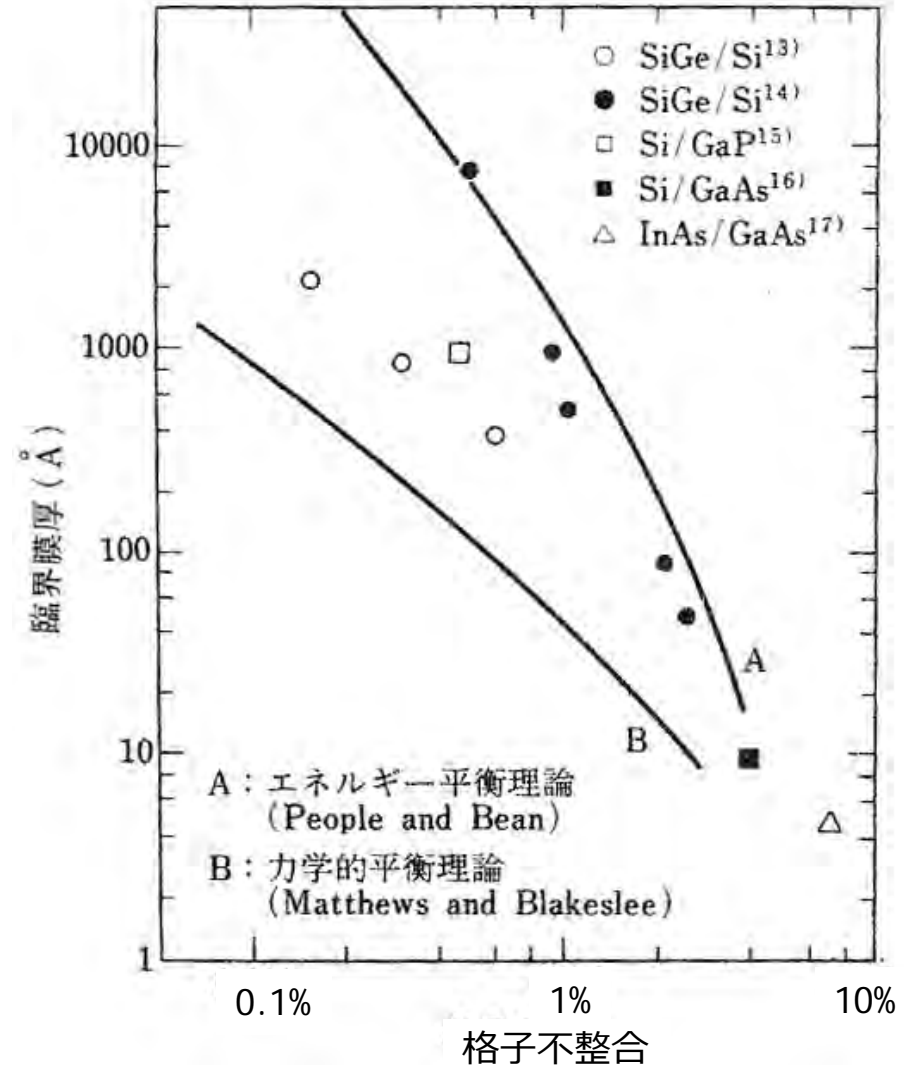
- ▶ 格子定数のちがいで格子面が繋がらなくなる
- ▶ Tのところ面で面に垂直に転移線がはしる。

市野瀬英喜：結晶成長ハンドブック（小松 啓編，共立出版，1995）図4.5.5 p. 783.

ヘテロエピタキシーと臨界膜厚

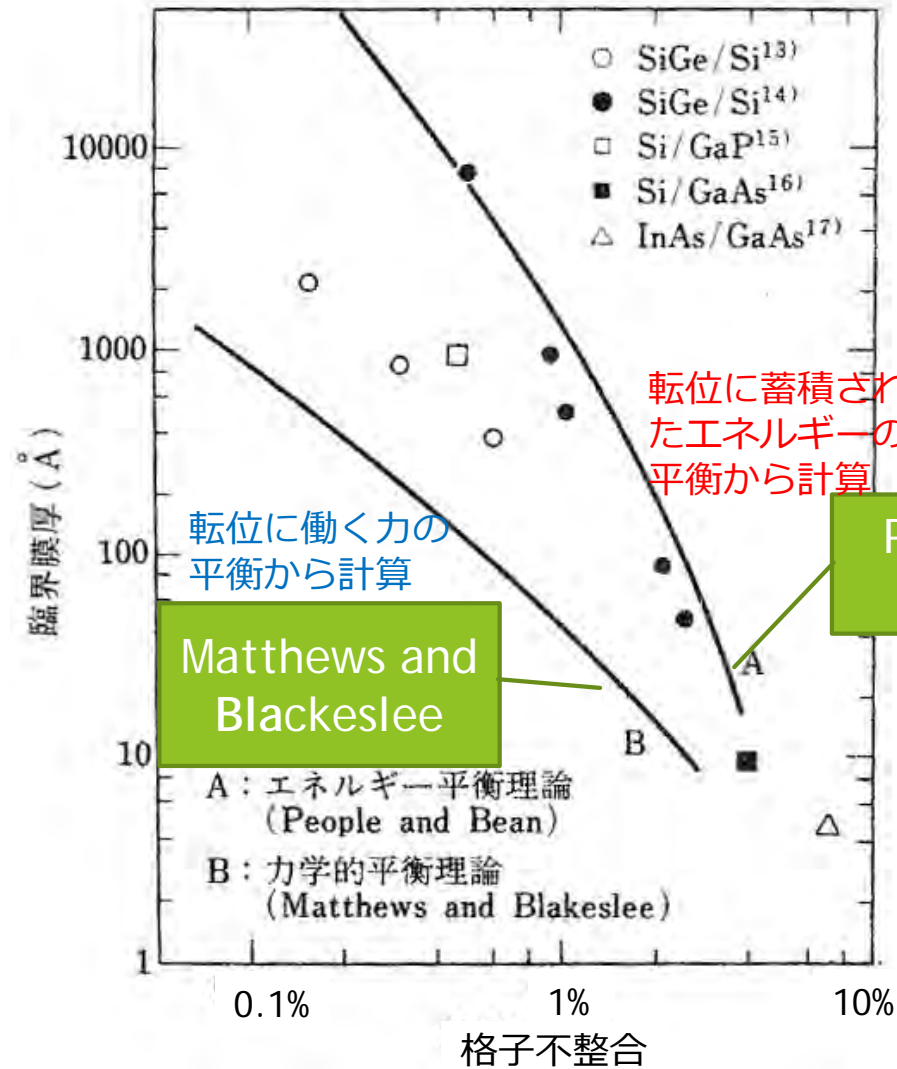
- ▶ 図には様々な半導体ヘテロエピタキシャル成長における臨界膜厚と格子不整合度の関係がプロットされている*。
- ▶ 同じ組み合わせでも、かなりのばらつきがあるが、傾向は一致しており、臨界膜厚は格子不整合度の逆数にほぼ比例する。
- ▶ 不整合度が1%では臨界膜厚は500-1000 Å程度であるが、0.1%になると数千Å～数μmにまで広がる。

- 梅野正義, 蘇我哲夫: 結晶成長ハンドブック
- (小松 啓編, 共立出版, 1995) p. 699.



臨界膜厚の計算式

- ▶ Mathewsと Blakesleeは転位に働く力の力学的平衡により、臨界膜厚を計算した[1]。その結果Fig. 1の曲線Bのようになり、実験結果よりやや小さな値を導く。
- ▶ 一方、PeopleとBeanは転位に蓄積されたエネルギーの平衡により臨界膜厚を計算し、図の曲線Aのような結果を得ている[2]。
- ▶ 実際の系では、A, B両曲線の間分布している。



[i] J.W. Mathews and A.E. Blakeslee: Defects in epitaxial multilayers: I. Misfit dislocations; J. Cryst. Growth 27 (1974) 118-125.

[ii] R. People and J.C. Bean: Calculation of critical layer thickness versus lattice mismatch for G_xSi_{1-x}/Si strained-layer heterostructures; Appl. Phys. Lett. 47 (1985) 322-324

Mathewsの式

歪みを受ける層が上下両層から挟まれている場合
(ダブルヘテロ構造)の臨界膜厚 h_c は

$$h_c = \frac{b}{2\pi f} \frac{(1 - \nu \cos^2 \alpha)}{(1 + \nu) \cos \lambda} \left(\ln \frac{h_c}{b} + 1 \right) \quad (1)$$

という式で表される。ここで b は転位のバーガスベクトル、 ν はポワソン比、 f は格子不整合度 $|\Delta a/a|$ 、 α は転位線とバーガスベクトルのなす角、 λ はすべり面と界面のなす角である。

通常のスミスフィット転位(刃状転位edge dislocation)を考えると、 $\alpha=90^\circ$ 、 $\lambda=0^\circ$ であるから、式は

$$h_c = \frac{b}{2\pi f} \frac{1}{(1 + \nu)} \left(\ln \frac{h_c}{b} + 1 \right) \quad (2)$$

と表される。

People・Beanの式

無転位の状態の歪みエネルギーと転位が発生して緩和が起こった場合の状態の歪みエネルギーが等しくなる膜厚として臨界膜厚を計算したもので、

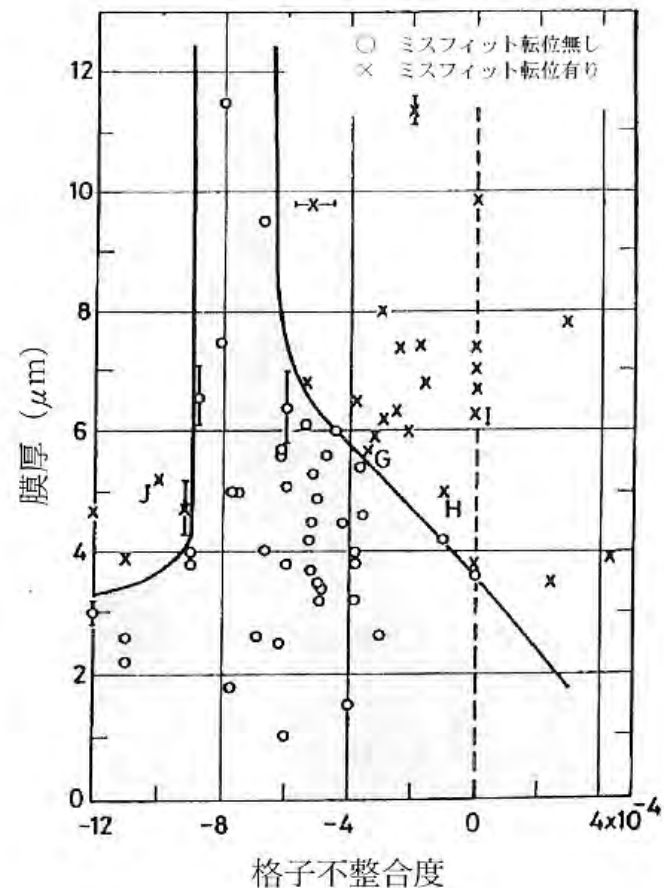
$$h_c = \frac{1-\nu}{1+\nu} \frac{1}{16\pi\sqrt{2}} \frac{b^2}{a} \frac{1}{f^2} \ln \frac{h_c}{b} \quad (3)$$

と表される。

熱膨張係数差の問題

$\text{Ga}_{1-x}\text{In}_x\text{As}/\text{InP}$ の臨界膜厚

- ▶ 図は $\text{Ga}_{1-x}\text{In}_x\text{As}$ 層を InP 基板上に成長したときにコヒーレント成長する場合を膜厚と格子不整合度をパラメータとして示したものである。
- ▶ この組み合わせでは格子不整合度が-0.08%の時に臨界膜厚が最大値をとるのである。このずれの原因は、基板とエピタキシャル層の**熱膨張係数の差**にある。



K. Nakajima, S. Komiya, K. Akita, T. Yamaoka and O. Ryuzan:
LPE Growth of Misfit Dislocation-Free Thick $\text{In}_{1-x}\text{Ga}_x\text{As}$ Layers on InP ;
J. Electrochem. Soc. **127** (1980) 1568-1572.

熱膨張差による補正

- ▶ このずれの原因は、基板とエピタキシャル層の熱膨張係数の差にある。ヤング率を E 、熱膨張係数の差を $\Delta\alpha$ 、室温と成長温度の温度差を ΔT とすると、結晶成長温度から室温までの冷却過程で、

$$\sigma = E \cdot \Delta\alpha \cdot \Delta T$$

だけの大きさの**熱応力**が生じる。

熱応力はエピタキシャル層だけでなく、基板にも影響を与えるので、基板と膜両方の熱膨張による次のような補正をしなければならない。

$$\Delta a/a = \frac{(a_{e0} + \alpha_e \Delta T) - (a_{s0} + \alpha_s \Delta T)}{(a_{s0} + \alpha_s \Delta T)}$$

ここで a_{e0} と a_{s0} はそれぞれエピタキシャル層と基板の室温での格子定数、 α_e と α_s はそれぞれエピタキシャル層と基板の熱膨張係数、 ΔT は成長温度と室温の温度差を表す。

4. 極性・無極性へテロ成長 – アンチフェーズドメイン



アンチフェーズドメイン



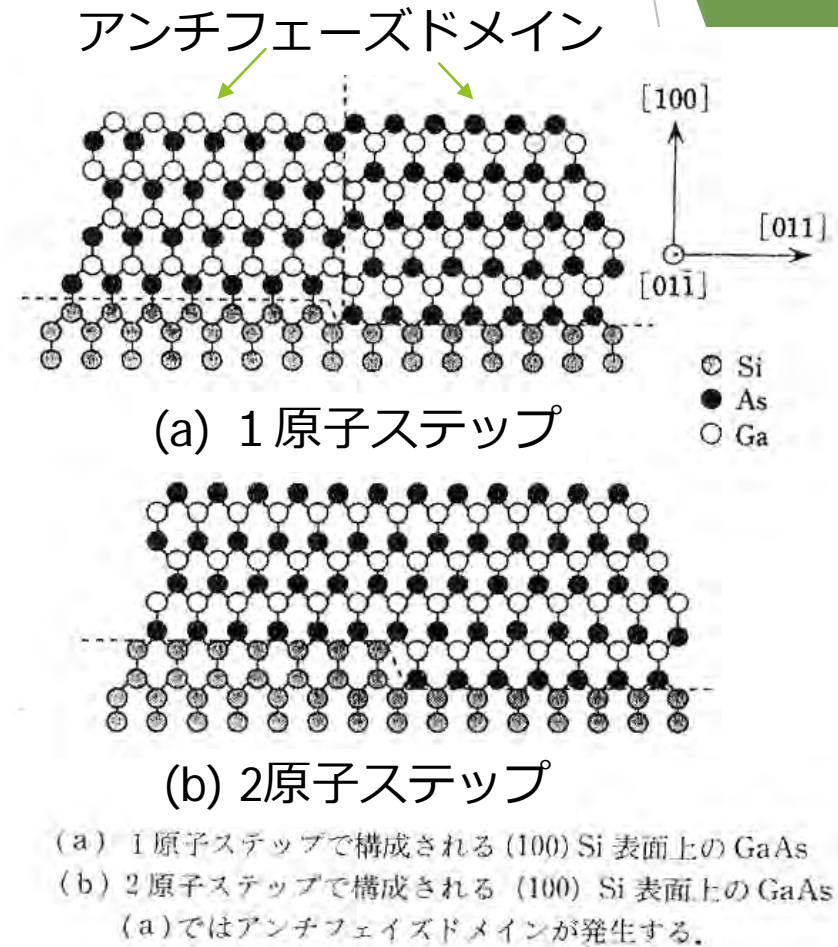
アンチフェーズドメインの消滅法



[参考] 無極性結晶にもあるアンチフェーズ

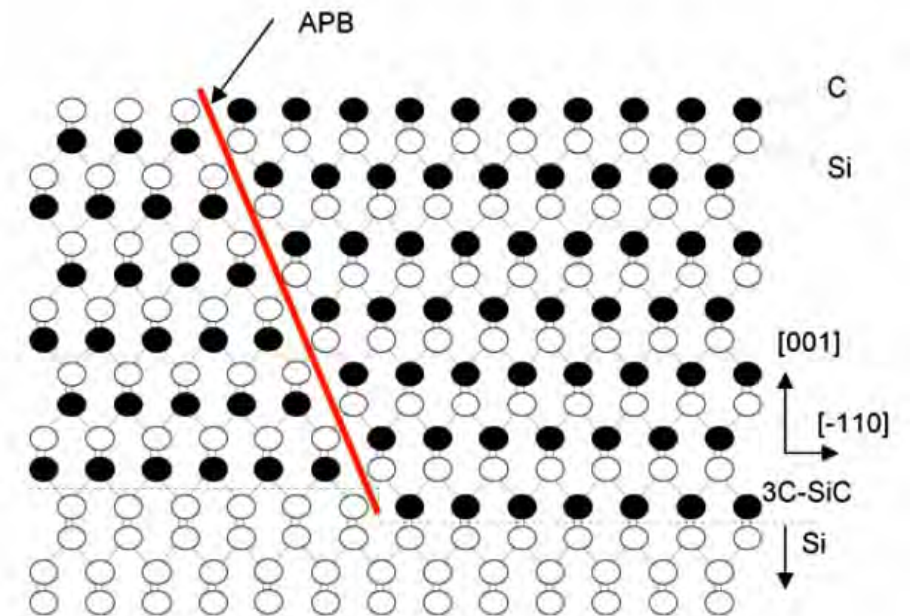
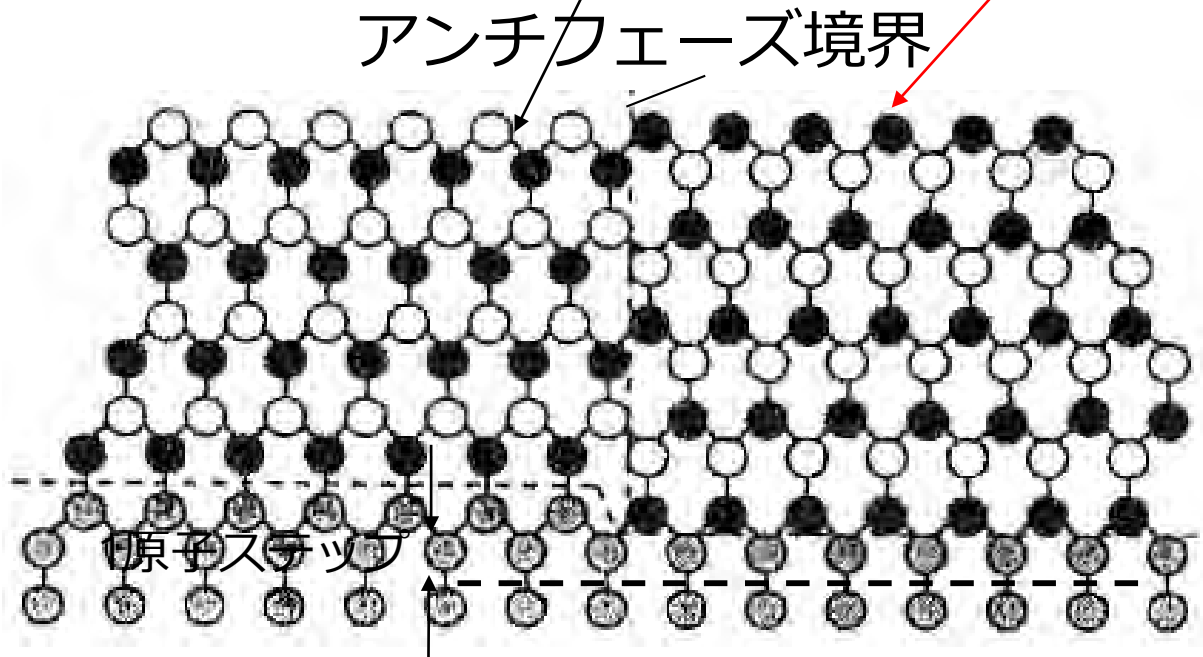
無極性基板に成長した極性結晶

- ▶ IV族のような無極性 (nonpolar) の基板にIII-V族など極性 (polar) 結晶層を成長する場合に原子配列の位相が入れ替わりが生じることがある。
- ▶ これは、基板のステップが図 (a) のように1原子から構成されるか、(b) のように2原子で構成されるかで極性結晶の原子配列が異なることが原因である。



アンチフェーズドメイン

- ▶ 1原子ステップの場合、最表面にGa原子が現れる領域とAs原子が現れる領域とに分かれるが、各領域を反位相分域またはアンチフェーズドメイン(antiphase domain)と称している。
- ▶ 領域の境界をアンチフェーズ境界(antiphase boundary)と称するが、境界には、(a)に示すようにGa-Ga, As-Asのように同種原子から構成される結合が存在する。



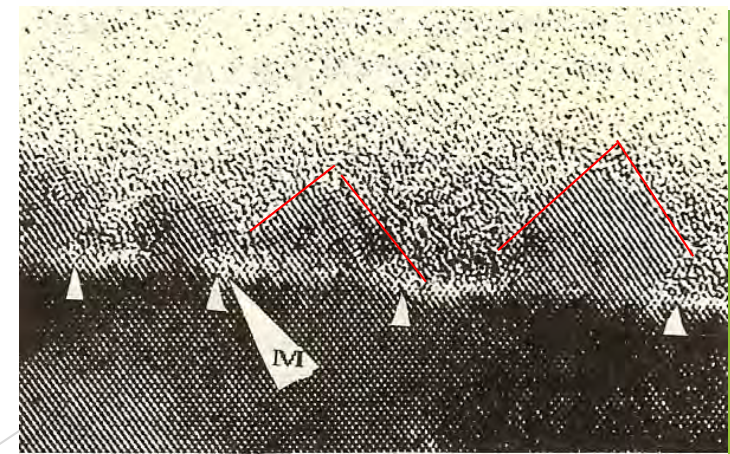
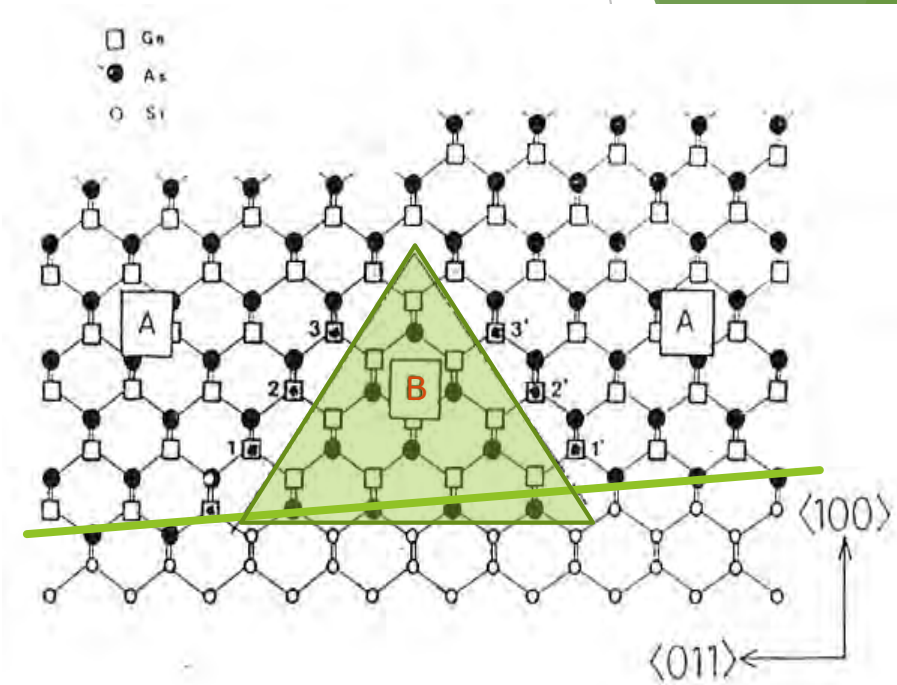
3C-SiCに見られるアンチフェーズ境界

Nagasawa: Silicon Carbide Epitaxy Chap.8,193 (2012)

アンチフェーズドメインの自己消滅

- ▶ GaAs/Siにおいてアンチフェーズドメインをなくすには、**オフ基板を用いる**ことで1つの領域のみを残すように結晶成長をさせることが可能である。
- ▶ 図は{011}方向にミスカットしたSi(100)基板上に成長したGaAsのアンチフェーズドメイン **B** が成長とともに自己消滅する様を模式的に描いた図である [1]。

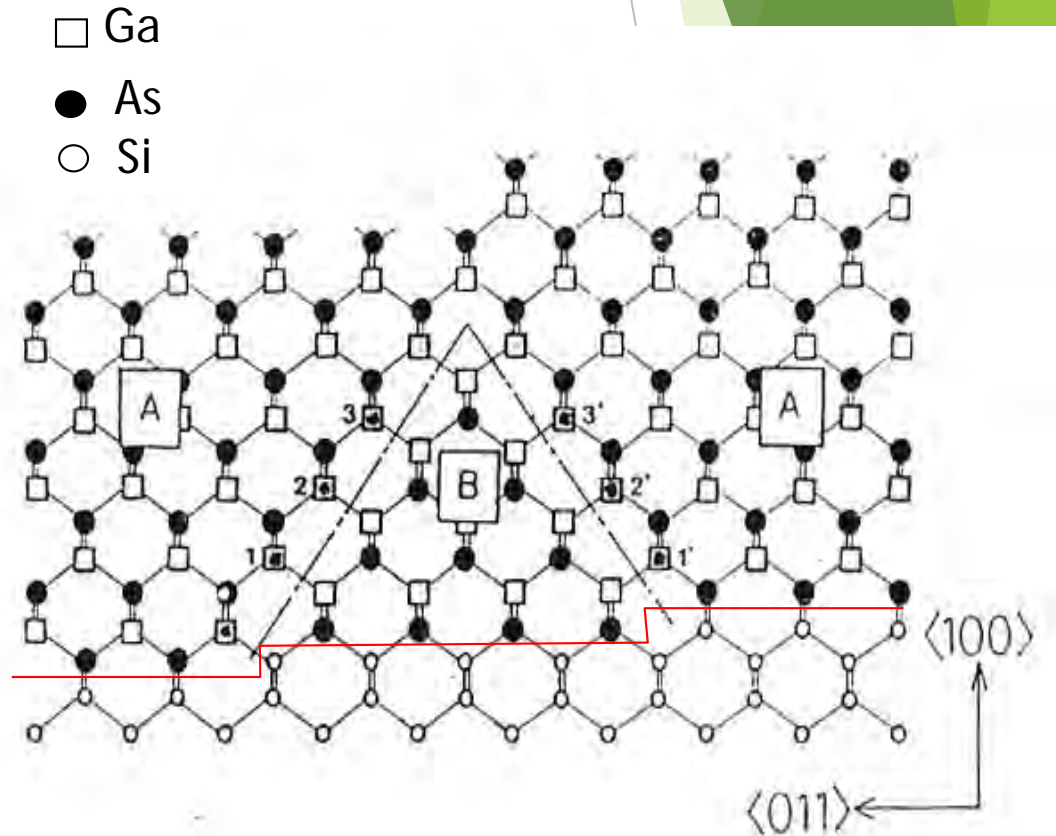
- [1] 川辺光央, 高杉英利, 上田登志雄, 横山 新, 板東義雄 :
- GaAs on Si の初期成長過程 ; 応用物理学会結晶工学分科会第4回結晶工学シンポジウムテキスト(1987.7.17) pp.1-8.



アンチフェーズドメインの自己消滅の原因

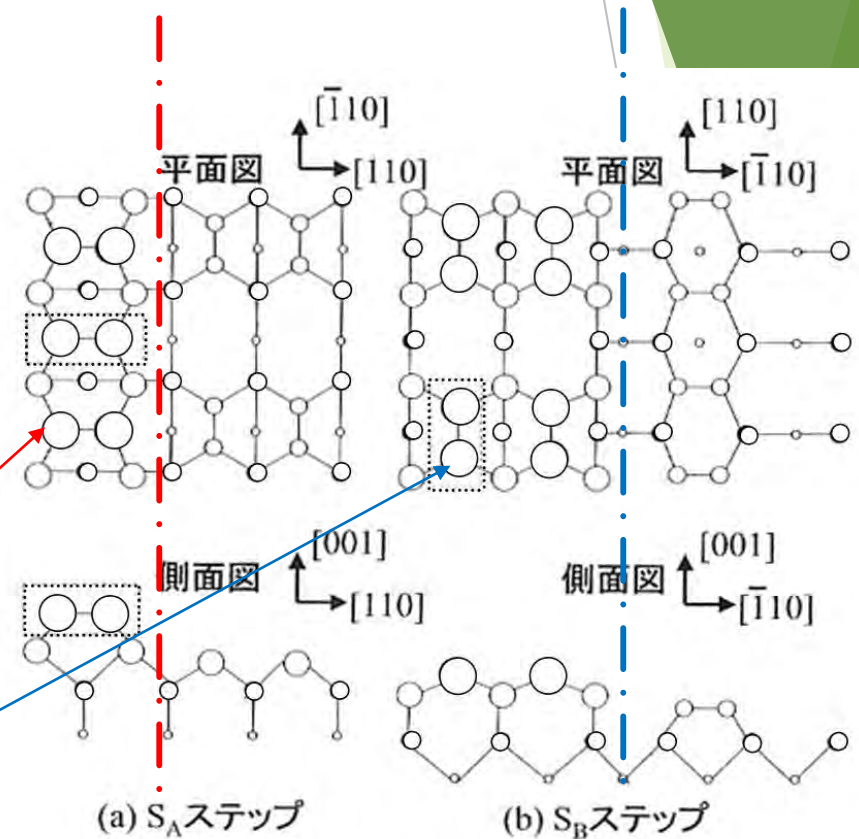
- ▶ この上にGa/As/Ga・・・と積層していく。正常な格子点領域(A)では左手下方の2個のAs原子(黒丸)から伸びている結合手にGa原子(四角)が結合するのであるが、図の1, 1'、2, 2'、3, 3'の格子点では、As(黒丸)とGa(四角)から結合手が延びているため、Ga、Asのどちらの可能性もある。
- ▶ ここでは、このサイトを仮にGaが占めるとする(四角に黒丸の記号)と、鎖線で示すアンチフェーズ境界は{111}面内にあり[100]方向への成長とともにB分域は消滅する。このことは、RHEEDによって実証されている。

•成長過程において、高温でAsを付着させるとSi(小白丸)の最表面はAs(黒丸)で覆われていると考えられる。



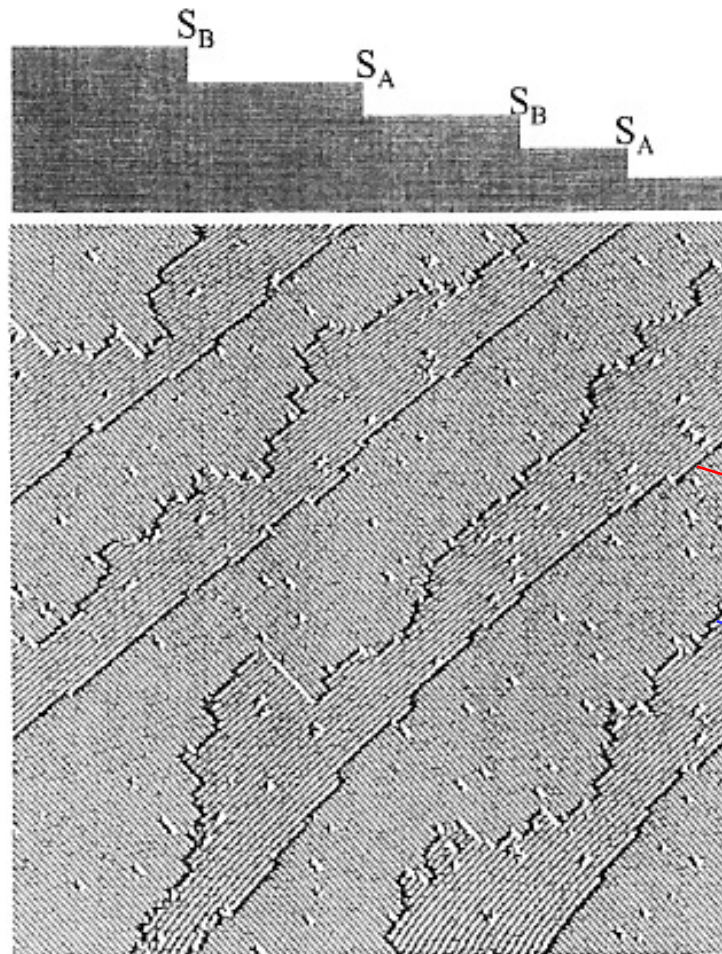
無極性結晶にもあるアンチフェーズ

- ▶ Si、Geのような無極性結晶においても、1原子ステップ単位で見ると、隣り合うステップは必ずしも等価ではない。
- ▶ 図は(001)面において、[110]方向に傾斜している場合のステップ構造を示したものである。
- ▶ Siの単位胞における001方向の原子配置を考えると、格子定数を a として、 $z=0, a/4, a/2, 3a/4$ の4つの原子層があるので、1原子あたりのステップの高さは $a/4$ となる。
- ▶ [110]方向に隣接した2個のSi(001)表面原子は未結合手を出し合ってダイマー（2量体）を形成し、 2×1 表面再配列構造をとるが、図の(a)のように上段テラスのダイマーの方向とステップ方向が垂直である場合をSAステップと称し、(b)のように上段テラスのダイマー方向が平行である場合をSBステップと称している。



(001)傾斜斜面の2種類の単原子ステップ（図で丸の大きいほど前にあることを示している。）

シリコンの2種類の1原子ステップ



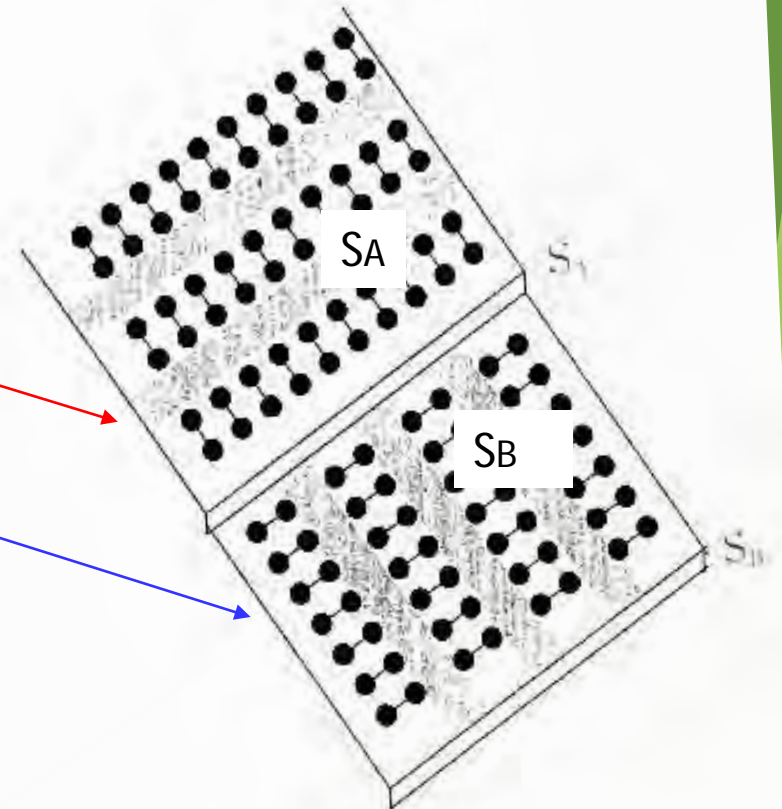
- ▶ STMで観測すると、図に示すように、SBステップはギザギザの形状をとり、SAステップはスムーズな形状となる。

S_B

S_A

S_B

S_A



5. 格子不整合とエピタキシャル成長

3つの結晶成長モード

格子不整合と成長モデル

格子不整合と成長速度

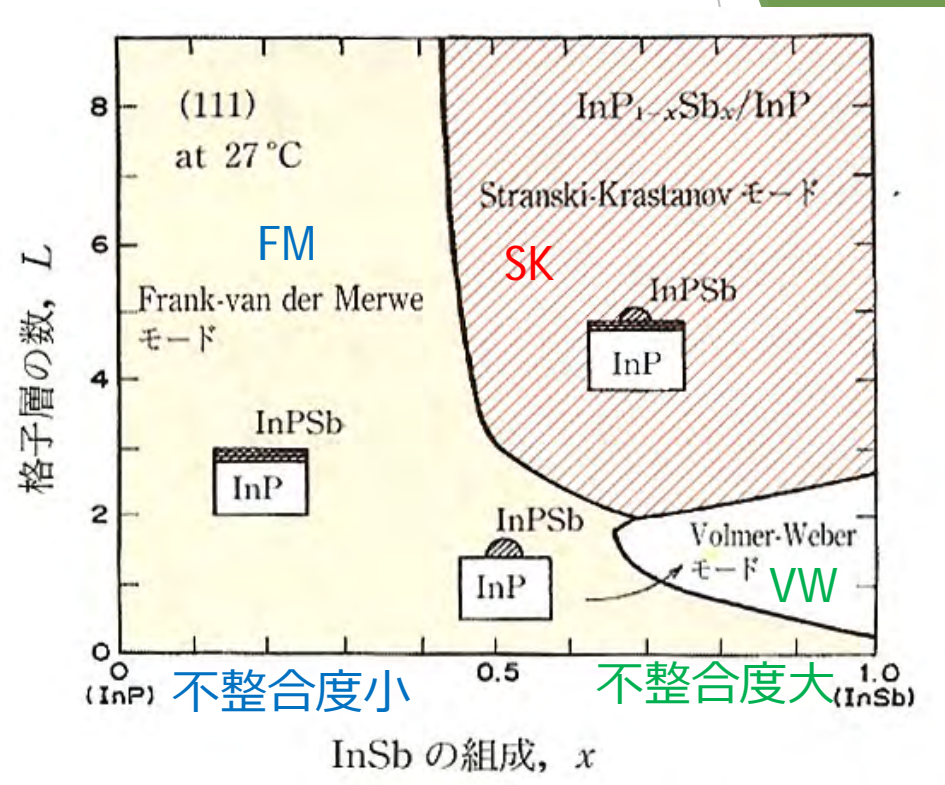
エピタキシャル成長の3つのモード



- エピタキシャル成長の成長モードとしては、上図に示すようにFrank-van der Merwe (FM)モード（基板表面に2次元核が形成され、成長して表面全体を覆い、再びこの過程を繰り返して成長層が1原子層ずつ規則正しく層状成長するモード）、Stranski-Krastanov(SK)モード（成長初期は2次元核から層状成長し、ある厚さになると3次元的な島が形成され成長していくモード）、Volmer-Weber(VW)モード（成長初期から3次元核成長をするモード）の3つの型があることはよく知られている。

格子不整合と成長モード

- ▶ 格子不整合度は結晶成長モードに影響する。
- ▶ 格子不整合度が小さい場合FWモードとなる
- ▶ 格子不整合度が比較的大きく、表面エネルギー、界面エネルギーの比較的小さな材料系ではSKモードとなる。GaAs基板上にInAsの量子ドットを自己組織化成長するのはSKモードの例である。
- ▶ 格子不整合度の大きいヘテロエピタキシャル成長ではVWモードとなる。

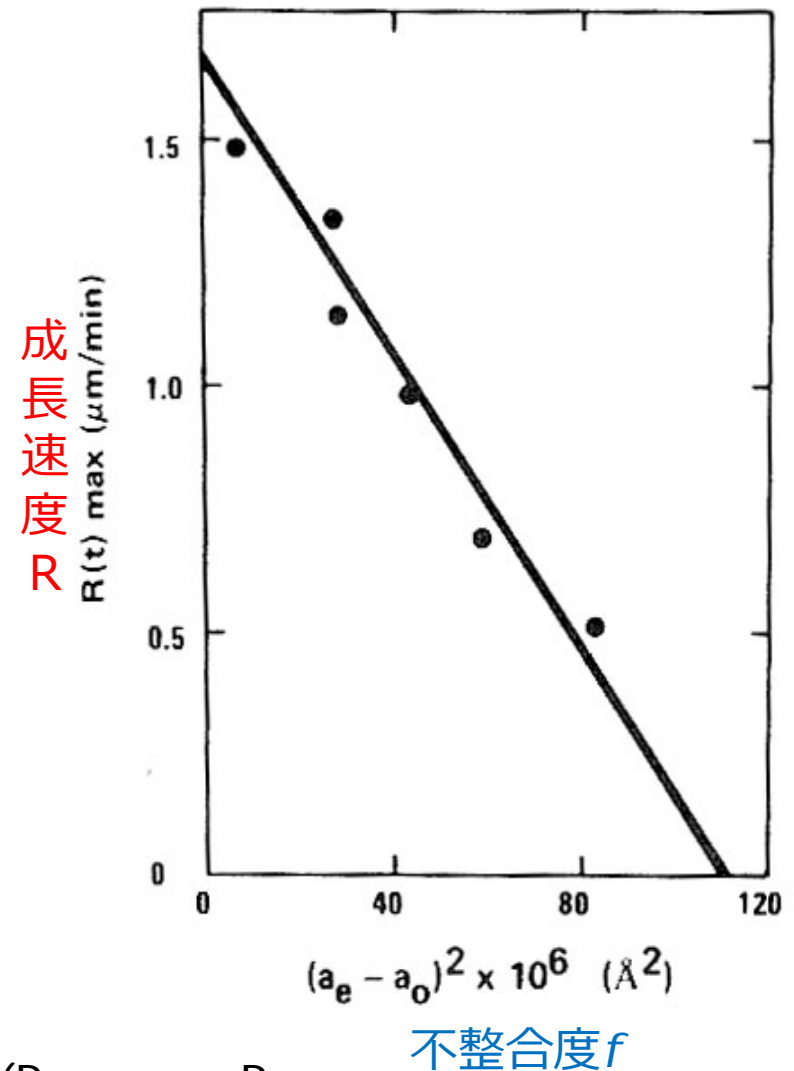


中嶋らは、液滴モデルを用いて、InPSb/InP構造について成長モードの層厚－組成状態図を作成した*。

*K. Nakajima: Equilibrium Phase Diagrams for Stranski-Krastanov Structure Mode of III-V Ternary Quantum Dots; Jpn. J. Appl. Phys. **38** (1999) 1875-1883.

格子不整合と成長速度

- ▶ 格子不整合度 f は成長速度にも影響する。成長速度 $R(t)$ は f に対してのように指数関数的に変化する [ii]。
- ▶ 図は Ga_2O_3 添加 YIG/GGG に見られる格子不整合度と成長速度の関係である [iii]。



[i] R.L. Moon: Crystal Growth, Second Edition, ed. by B. Pamplin, (Pergamon Press, Oxford, 1980) Chap. 11, pp. 421-461.

[iii] J. C. Brice, J. M. Robertson, W. T. Stacy and J. C. Verplanke: Strain induced effects in the LPE growth of garnets; J. Cryst. Growth 30 (1975) 66-76.

6. 異種原子価 ヘテロ成長

ZnSeをはじめII-VI族は青色半導体材料として多くの研究がなされた。II-VI族には良質の基板材料がないので、多くの場合結晶構造が同じ閃亜鉛鉱構造をもち比較的格子定数が近いGaAsを用いることが多い。

しかし、イオン結合性の強いII-VI族と共有性のIII-V族のヘテロ界面には、**界面準位**など解決すべき多くの課題が残る。

ZnSe/GaAsヘテロエピ

- ▶ II-VI 族レーザー技術を結晶成長の立場から見れば、ZnSeをペー
スとするIII-VI族半導体の多層ヘテロ構造をGaAs基板上に
MBE、MOMBE、MOVPE等でエピタキシャル成長させることが基
本である。
- ▶ ZnSe系のエピタキシャル成長はこの目的のために発展して来
たとはいっても過言ではない。現在のところ大面積・高品質・低
抵抗のII-VI族半導体の基板の入手が困難なためIII-V族半導
体、主としてGaAsが基板に用いられている。
- ▶ GaAsは表面処理技術もよく知られており、その上のヘテロエ
ピタキシャル成長は数々の成果をあげてきた。

ZnSe/GaAsへテロ界面の問題

- ▶ ZnSe/GaAsへテロ界面付近には、価電子や格子の不整合による格子欠陥が発生しやすく、この欠陥は**界面準位**、**界面障壁**、**界面フェルミ準位**等をもたらし、界面の電気的特性に影響を与える。硫化アンモニウムでのex situ処理による界面特性の制御が報告されている。
- ▶ III-V族とII-VI族の**異種原子価へテロ構造**の問題も研究されている。
- ▶ 結晶成長の観点からいえば、これらの特性はZnSeを成長させる直前の基板の**表面処理**に大きく依存する。
- ▶ ヘテロ界面の特性はその付近の欠陥に捕らえられた電子や正孔による空間電荷分布に支配され、温度や光照射さらには過去にどんな電流を流したかによっても変化するので注意が必要である。

7. 格子不整合度がある場合の成長技術

- ▶ GaAs on Siでは、**バッファ層**を低温($T < 400^\circ\text{C}$), 低速度($\sim 0.1\mu\text{m/h}$)で10nm程度成長したのち通常の成長条件に移る。
- ▶ **2段階成長**によりミスフィットに起因する結晶欠陥がバッファ層に閉じこめられ、良質のエピタキシャル層を作製できる[i]。

• [i] M. Akiyama, Y. Kawarada and K. Kaminishi: Growth of GaAs on Si by MOVCD; J. Cryst. Growth 68 (1984) 21-26.

Si基板上 III-V族デバイス

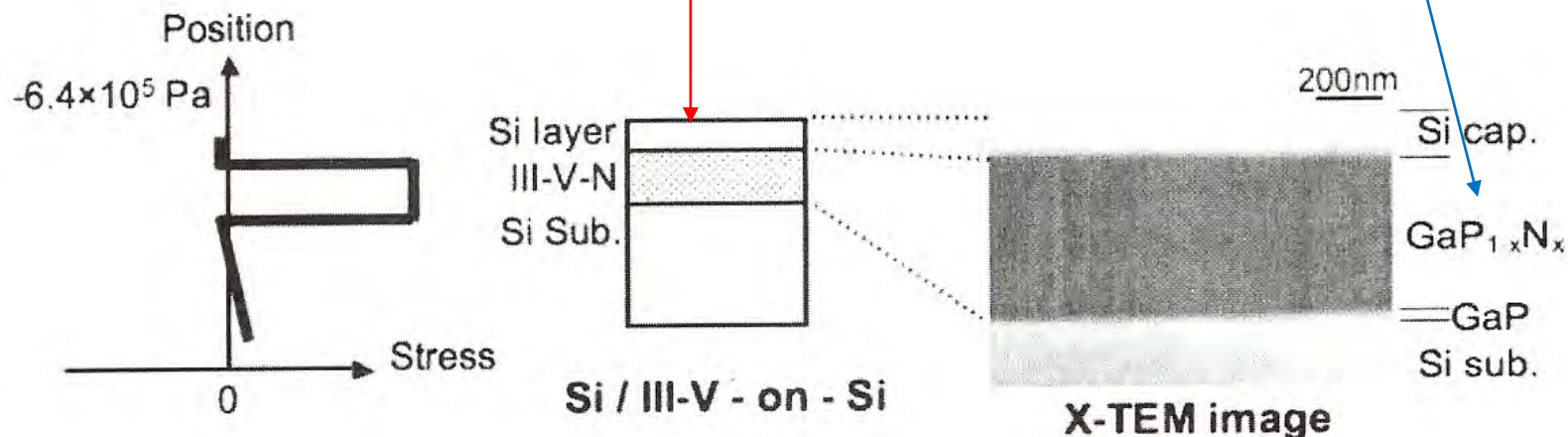
▶ 3つの課題とその解決法

Si単原子ステップ上のIII-V族のアンチフェーズドメイン

→4%オフ基板の採用 + 低温MEEによる積層欠陥抑制

格子不整合 : 2%のN導入でGaPがSiに格子整合

熱膨張率差 : Siのcap層(100nm)使用で
ミスフィット転位抑制



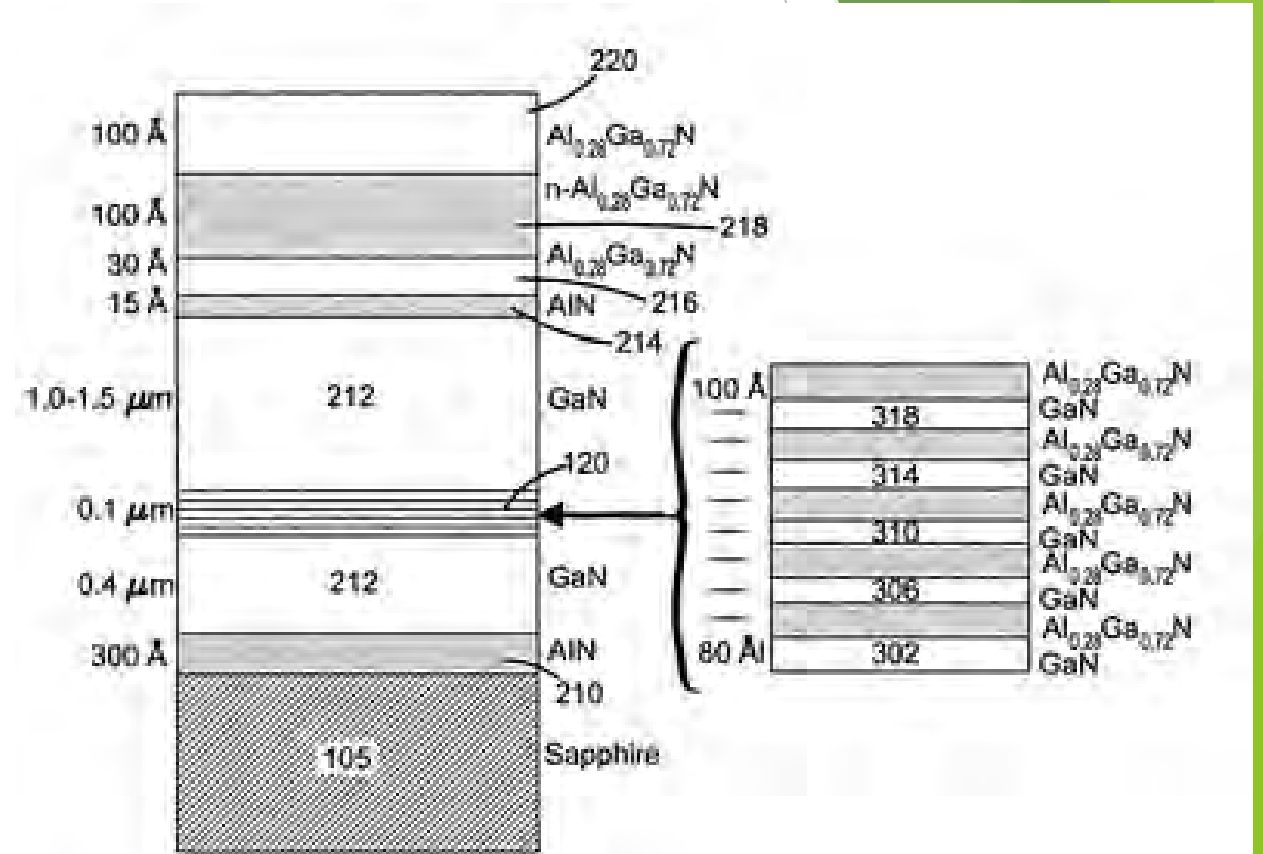
Y. Furukawa et al.: Jpn. J. Appl. Phys. 41 (2002) 528.

Y. Fujimoto et al.: Appl. Phys. Lett. 79 (2001) 1306.

K. Momose et al.: Appl. Phys. Lett. 79 (2001) 4151.

歪み超格子バッファ層

- ▶ 格子不整合があっても成長層が臨界膜厚より薄い層では、面内の格子定数が一致してpseudomorphicに成長する。
- ▶ この性質を利用して**歪み超格子をバッファ層**として用いれば、格子定数の異なる基板とエピタキシャル膜を格子整合させることが可能である。



Si基板上AlGaN/GaNヘテロ成長

Si 基板上 GaN の問題点

- ▶ 引張り歪が生じ凹状に反る
- ▶ 10^9cm^{-2} 程度の高密度の貫通転位を伴うクラックが発生
- ▶ エピ層の厚膜化が困難である
- ◆ バッファ層と多層膜による歪み緩和

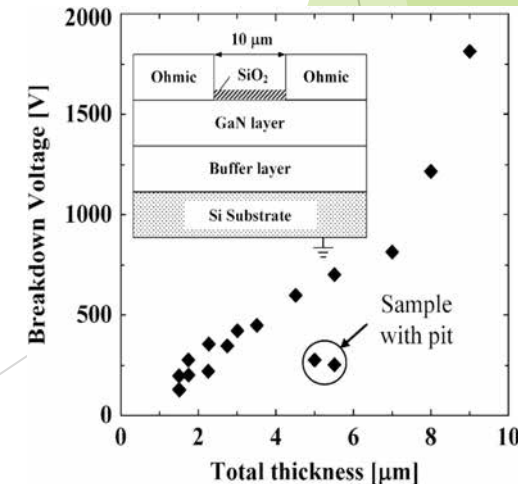
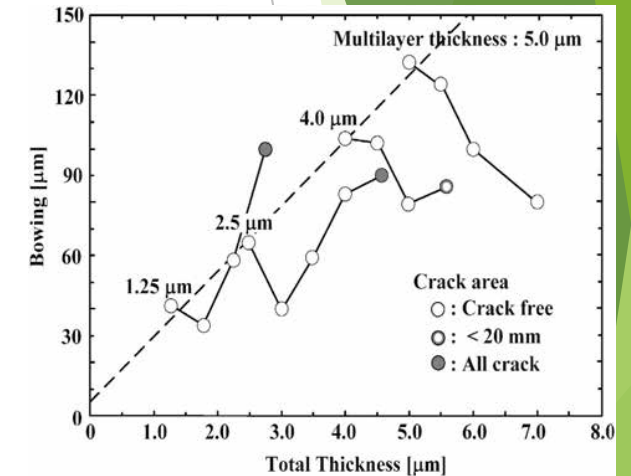
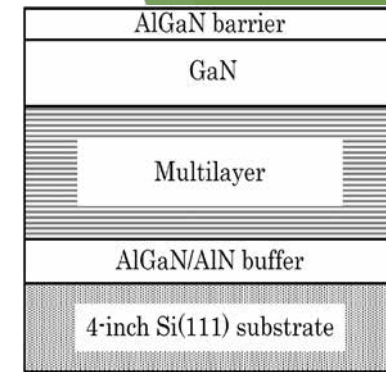
多層膜のみを成長させた場合、ウエハーの反りは膜厚とともに増加するが、その上に GaN 層を成長させると、ある膜厚の時ウエハーの反りが最小になる。

例えば、 $5.0\mu\text{m}$ 厚の多層膜のみを成長させた場合、ウエハーの反りは約 $130\mu\text{m}$ であるがその上に $2\mu\text{m}$ の GaN 層を成長させると反りは $80\mu\text{m}$ 程度に低減し、クラックフリーであった。

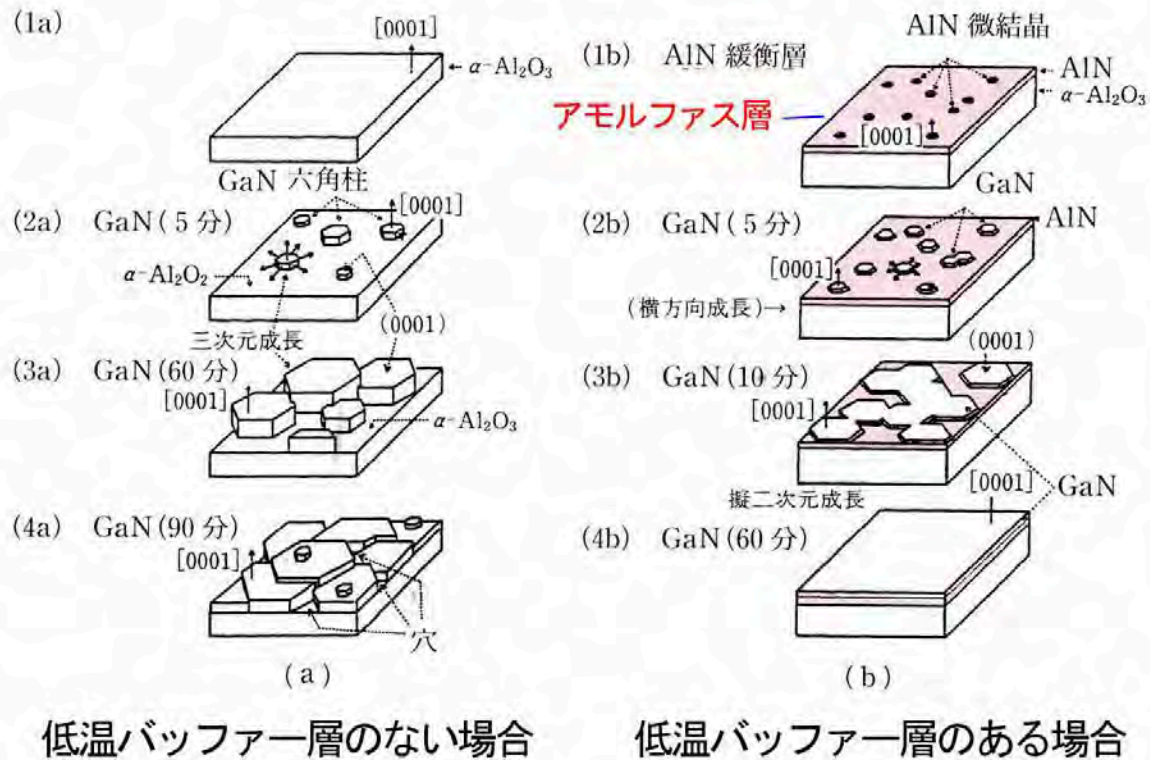
◆ 絶縁耐圧の改善

成長層の総膜厚を変化させた試料の横方向の 2 端子耐圧の測定結果を示す。これより、横方向耐圧においても総膜厚が増加するにつれて耐圧が向上することが分かり、総膜厚 $9\mu\text{m}$ において $1,813\text{V}$ の良好な耐圧を得られた。

江川孝志 : J.Vac.Soc.Jpn 54, 381 (2011)



低温緩衝層の使用



▶ 格子定数の不整合や、熱膨張係数の差によって成長層に格子欠陥が生じたり、冷却時にクラックが入ることを防ぐことを目的として、数百 $^{\circ}\text{C}$ の低温でバッファ層を成長し、引き続いて高温でエピ層を成長することが行われている。

▶ サファイア($\alpha\text{Al}_2\text{O}_3$)上のGaNやSiの成長、Si上のGaAs成長で行われている。

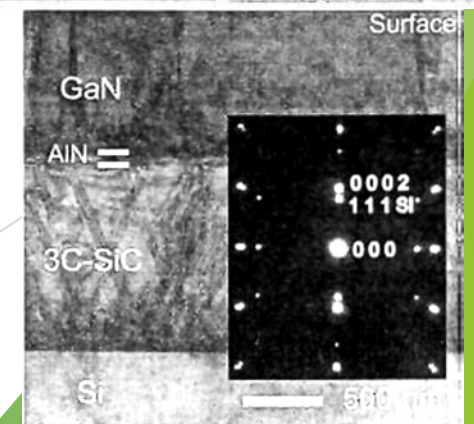
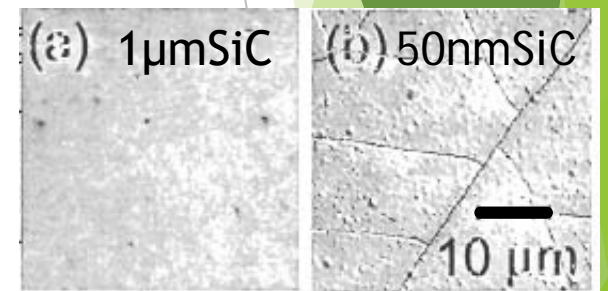
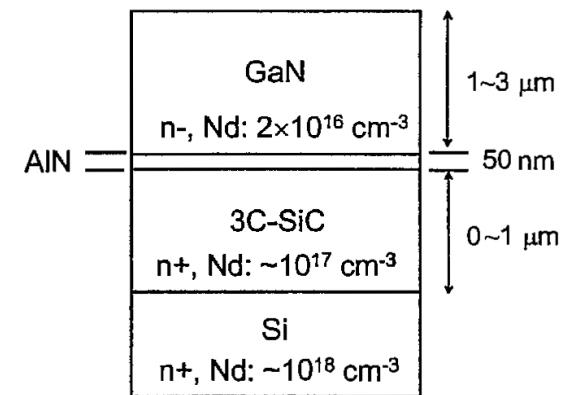
▶ GaN/サファイアの場合を左図に示す。低温成長によってアモルファスのAINバッファ層を堆積。表面にできた微結晶が核となり、GaNの2次元成長に繋がる。

熱膨張差の緩和

GaN on Siの中間層に3C-SiCを利用

～熱膨張差の緩和でクラック・フリーに～

- ▶ 東芝グループでは、3C-SiCを中間層として挿入することによって、Si(111)基板の上に、クラック・フリーの膜厚2 μmのGaNエピ層を得た。
- ▶ Si表面をプロパンC₃H₈中での高温アニールして炭化→50nm以下の薄い3C-SiC形成→これをテンプレートとして、SiH₄, C₃H₈中で高温処理→1μmの3C-SiC中間層の形成→AlN50nm成長→GaN1-3μm成長
- ▶ SiC中間層が薄い場合は、常にクラックが入ったが、中間層が厚いとクラックが入らなかった。
- ▶ クラックが入るのは、エピ成長時ではなく、冷却時である。3C-SiCの線膨張係数は $4.5 \times 10^{-6} \text{K}^{-1}$ で、Si($4.2 \times 10^{-6} \text{K}^{-1}$)とGaN($5.59 \times 10^{-6} \text{K}^{-1}$)の中間の値をもつため、冷却時の熱収縮を緩和したと考えられる。



おわりに

- ▶ ヘテロエピタキシーとは何か、どのような物理的な課題があるのかについて、基礎となる事柄を述べた。
- ▶ III V 族 on Si、II VI 族 on III V 族、III 族窒化物 on サファイヤなどで、ヘテロエピタキシャル成長が行われ、多くの課題が明らかになり、いくつかの解決法の試みが行われた。
- ▶ 低コストの課題は未解決である。
- ▶ 全ての問題点を網羅することは出来ないが、3C-SiC 結晶成長の課題解決のご参考になれば幸いである。