

縦型立体構造デバイス実現に向けた半導体ナノワイヤの研究

Semiconductor nanowires for the realization of vertical three-dimensional semiconductor devices

物材機構¹, JST さきがけ² °深田 直樹^{1,2}

NIMS¹, JST PRESTO², °Naoki Fukata^{1,2}

E-mail: FUKATA.Naoki@nims.go.jp

1次元構造を有するIV族半導体ナノワイヤは、半導体電子・光素子および化学・バイオセンサー等への幅広い応用が期待されている。特に次世代の縦型立体構造を有するトランジスタへの応用が期待されている。なぜなら、2次元平面的広がりが必要とする素子では、微細化した回路素子からのリーク電流による発熱が大きくなり、従来通りのスケール則に従った素子寸法の微細化による高性能・高集積化に限界が指摘されているからである。ナノワイヤを利用した次世代トランジスタの実現には、1) ナノスケールでのサイズ・配列・構造制御、2) 不純物ドーピングによる機能化と特性制御、3) ナノスケールでの物性評価技術の確立が重要課題となっている。ナノワイヤをチャンネルとし、不純物を高濃度にドーピングしたソース・ドレイン領域をナノスケールで形成制御するためには、ナノワイヤ中にドーピングされた不純物を検出・評価できる手法が必要である。

我々は、Si および Ge ナノワイヤの成長をレーザーアブレーションおよびCVD法により行ってきた(図1)。この成長は、ボトムアップ手法であり、金属触媒を用いたVLS(気相-液相-固相)成長機構による。これまでに、Si ナノワイヤの成長中にSi中でアクセプタとなるBのドーピングを行い、ドーピングされたBの局在振動ピークおよびSi光学フォノンピークに現れるFano効果をラマン散乱測定により初めて観測することに成功している(図2(a))。更に、Si中でドナーとなるPをドーピングした場合には、電子スピン共鳴(ESR)測定により、伝導電子シグナル($g=1.998$)の観測に成功している(図2(c))。以上により、BおよびPがSiナノワイヤ中の結晶領域で電気的に活性化状態で存在することを証明した[1]。また、最近では、Siに代わる次世代材料としているGeナノワイヤについても同様の実験を行い、B、Pの局在振動ピークおよびFano効果の検出に初めて成功している。本講演では、上述の不純物検出の結果、BおよびPを同時にドーピングした際の補償効果、およびドーパント不純物の熱酸化時の挙動等について総合的に紹介する。

[1] Adv. Mater. 21, 2829 (2009).

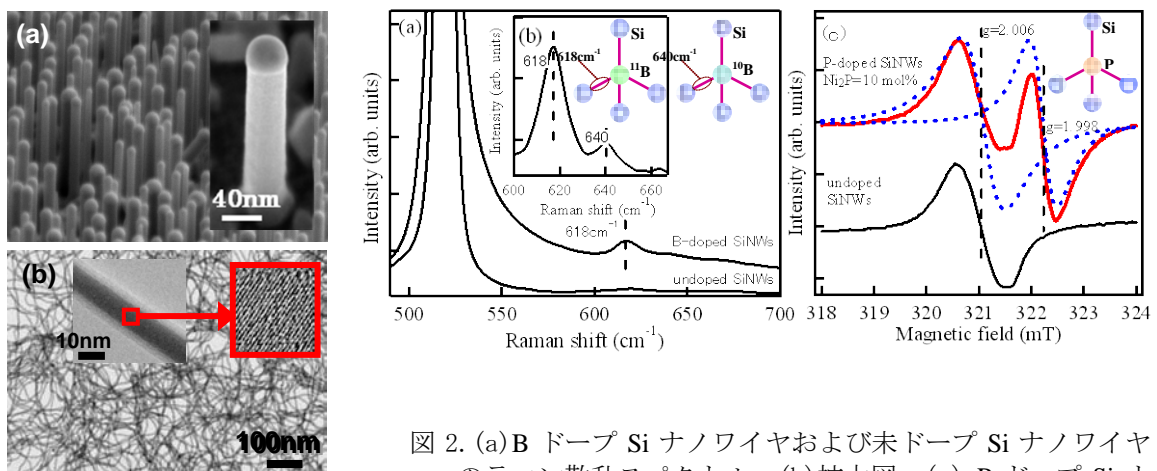


図 2. (a) B ドープ Si ナノワイヤおよび未ドープ Si ナノワイヤのラマン散乱スペクトル、(b) 拡大図、(c) P ドープ Si ナノワイヤおよび未ドープ Si ナノワイヤの ESR シグナル。

図 1. (a) CVD 及び (b) レーザーアブレーション法により生成された Si ナノワイヤの SEM 及び TEM 像。