

第1章

ヘテロエピタキシーの基礎

独立行政法人科学技術振興機構／東京農工大学 佐藤 勝昭

1. はじめに

化合物半導体のデバイスの多くは、単結晶基板上にエピタキシャル成長技術によって成膜された方位の揃った単結晶薄膜が用いられる。成膜したい材料と同じ材料を基板として用いる「ホモエピタキシー」が理想であるが、現実には、そのような基板を入手することができない、あるいは、あってもコスト的に使えない場合が多い。このような場合、異なる材料を基板とする「ヘテロエピタキシー」が使われることになる。本稿では、エピタキシーとは何か、ヘテロエピタキシーの課題は何かについての基礎を述べる。

2. エピタキシーとは何か

エピタキシーとは、基板結晶（下地）の上に基板結晶とある一定の結晶方位関係をもって結晶相を成長させる成長様式である。もともとは、鉱物学の分野で使われていた概念である。Springer社から出ているLandolt-Börnsteinシリーズに、Epitaxial Data of Inorganic and Organic Crystals¹⁾というのがある。その中に、たとえば天然の鉱石中で閃亜鉛鉱（ α -ZnS）を基板として、黄銅鉱（CuFeS₂）、コベリン（CuS）、キューバ鉱（CuFe₂S₃）、ガレート（CuGaS₂）、白鉄鉱（FeS₂）、黄鉄鉱（FeS₂）、磁硫鉄鉱（Fe_{1-x}S）、黄錫鉱（Cu₂FeSnS₄）、ウルツ鉱（ β -ZnS）などの堆積物が基板と一定の方位関係で成長している様子が収録されている。自然界ではさまざまなエピタキシーが知られているのである。表1にその抜粋を示す。

近代的な結晶成長の分野では、何らかの基板の上に人工的に結晶方位の揃った薄膜結晶が成長するさまをエピタキシャル成長と称している。当初はdirectional overgrowthという用語が使われていたが、次第にepitaxial growthという用語に収束していった。ギリシャ語でepiは「上に」を意味する接頭辞、taxisは「整列」、「配向」を意味する語である。ちなみに、中国語では、

表 1 自然界に見られるエピタキシーの例

基板	堆積物	基板結晶面	堆積物結晶面	基板方位	堆積物方位	基板の格子定数 [Å]	堆積物の格子定数 [Å]	格子不整合度 [%]
α -ZnS (閃亜鉛鉱)	CuFeS ₂ (黄銅鉱)	(110)	(001)	[001]	[130]	5.43	4.15	- 23.6
		(100)	(100)	[001]	[001]	10.86	10.32	- 5.0
		(111)	(111)	[01 $\bar{1}$]	[01 $\bar{1}$]	7.68	10.32	- 3.3
	CuS (コベリン)	(110)	(00 $\bar{1}$ 0)	[001]	[00 \cdot 1]	15.46	16.36	+ 5.8
		(011)	(0001)	[1 $\bar{1}$ 0]	[1 $\bar{1}$ 0]	3.84	3.80	- 1.0
	CuFe ₂ S ₃ (キューバ鉱)	(011)	(001)	[100]	[010]	10.86	11.12	+ 2.4
	CuGaS ₂ (ガレート)	(100)	(001)	[001]	[100]	5.43	5.35	- 1.5
		(111)	(001)	[01 $\bar{1}$]	[110]	3.84	3.79	- 1.3
	Cu ₂ FeSnS ₄ (黄錫鉱)	(100)	(001)	[001]	[100]	5.43	5.47	+ 0.7
		(100)	(100)	[001]	[001]	10.86	10.74	- 1.1

「外延(晶体) 生長」という。

1960年代になると、半導体産業でシリコンのホモエピタキシーが開発され、基板より純度が高く欠陥も少ない高品質の薄膜結晶の上にトランジスタを作ることができるようになった。また、適切にドーパした薄膜結晶を積み重ねることによって、よい接合が得られるようになった。その後、GaAs デバイスの欠陥密度を低下させるために、GaAs 基板上に GaAs をホモエピタキシャル成長させることが一般化した。ホモエピタキシーの例は多くない。実際にはむしろ、成長したい薄膜と下地結晶が異なるヘテロエピタキシーの方が一般的である。

中島によれば²⁾、ヘテロエピタキシーは、次の3つに分類される。

(a) エピタキシャル膜と基板結晶の結晶構造が同じで格子定数が近いグループ(この場合はあまり工夫しなくてもよい結晶が得られる)。

表 2 に格子定数の近い半導体材料の組み合わせを掲げる³⁾。結晶材料全体から見れば例は少ない。

(b) エピタキシャル膜と基板結晶の結晶構造が同じであるが、格子不整合の程度が大きいグループ(この場合は、バッファ層を挿入して歪みを緩和するなどの工夫をしないとよい結晶が得られない)。

(c) エピタキシャル膜と基板結晶の結晶構造が異なるグループ(バッファ層として超格子層やアモルファス層を導入したり、ラテラル成長を利用したり、傾斜基板を用いたり大きな工夫をしないとよい結晶が得られない)。

以上の分類は結晶構造と格子不整合に焦点をあてたものであるが、これ以外にも材料の組み合わせの違いに起因するいくつかの問題が生じる。たとえば、熱膨張係数の差によって、成長温度では格子整合しているが、室温では不整合となる場合がある。また、無極性の半導体(シリコン)と極性を持つ半導体(たとえば GaAs)の組み合わせでは、アンチフェイズドメイン(後述)

表2 格子定数と結晶構造が近い材料の組み合わせの例³⁾

材料名	格子定数 [Å]	結晶構造	材料名	格子定数 [Å]	結晶構造
Si	5.4310	ダイヤモンド*	GaP	5.4505	閃亜鉛鉱
			AlP	5.4635	閃亜鉛鉱
			CaF ₂	5.4638	蛍石
Ge	5.679	ダイヤモンド*	GaAs	5.65325	閃亜鉛鉱
			AlAs	5.660	閃亜鉛鉱
			ZnSe	5.668	閃亜鉛鉱
			ErAs	5.7427	岩塩
InP	5.894	閃亜鉛鉱	CdS	5.825	閃亜鉛鉱
			GdAs	5.860	岩塩
GaSb	6.094	閃亜鉛鉱	AlSb	6.1355	閃亜鉛鉱
			InAs	6.0583	閃亜鉛鉱
			ZnTe	6.10	閃亜鉛鉱
			CdSe	6.052	閃亜鉛鉱
α -Sn	6.4892	ダイヤモンド*	InSb	6.478	閃亜鉛鉱
			CdTe	6.482	閃亜鉛鉱
GaN	$a = 3.180$	ウルツ鉱	AlN	$a = 3.111$	ウルツ鉱
	$c = 5.166$			$c = 4.980$	

の問題がある。さらに、同じ結晶構造の組み合わせであってもⅢ-V族基板上にⅡ-VI族の薄膜を成長する場合のように原子価の異なるヘテロ接合の場合、界面は理想的なステップ状ではなくなっている。

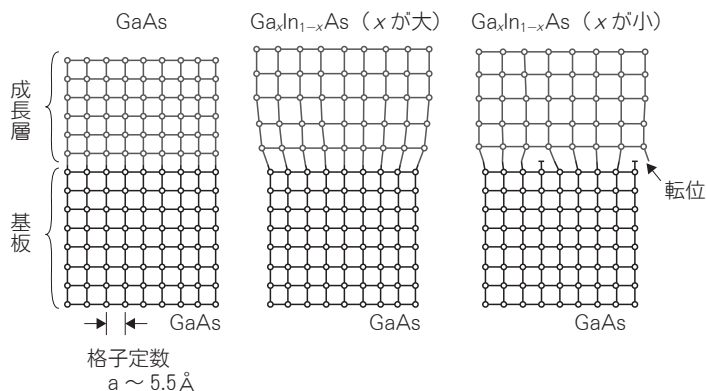
本稿では、ヘテロエピタキシーに伴う結晶成長上の課題の典型的な例について紹介するとともに、その解決法を述べたい。

3. ヘテロエピタキシーと格子整合

3.1 格子不整合度²⁾

基板とエピタキシャル膜の格子定数の差 Δa と基板の格子定数 a の比 $\Delta a/a$ を格子不整合度 (lattice mismatch) という。図1に示すように、エピタキシャル層の膜厚が十分薄い場合は、格子不整合が多少あったとしても、エピタキシャル層の格子が歪むことによって界面での格子の連続性を保って成長する。これをコヒーレント成長 (coherent growth) またはコメンシュレート成長 (commensurate growth) という。

エピタキシャル層の格子定数が基板の格子定数と一致した状態を擬似格子整合 (pseudomorphic) と表現することがある。この場合、格子体積を保存しようとして、界面に垂直な方向の格子定数が変化する。



出典 中嶋一雄：エピタキシャル成長のメカニズム，中嶋一雄編：共立出版，第1章図1.2 (2002)。

GaAs 基板に GaAs をホモエピタキシャル成長すれば格子不整合はない。Ga_{1-x}In_xAs をヘテロエピタキシャル成長する場合、In 濃度が低いとコヒーレント成長するが、In 濃度が高いと格子不整合による転位が生じる。

図1 エピタキシャル成長と格子不整合

3.2 薄膜成長の臨界膜厚

コヒーレント成長している場合でも、膜厚がある値（臨界膜厚という）より大きくなると、歪みエネルギーを緩和するためにミスフィット転位 (misfit dislocation) が発生して格子緩和し、本来の格子定数の値に近づく。図2にはさまざまな半導体ヘテロエピタキシャル成長における臨界膜厚と格子不整合度の関係がプロットされている⁴⁾。

同じ組み合わせでも、かなりのばらつきがあるが、傾向は一致しており、臨界膜厚は格子不整合度の逆数にほぼ比例する。不整合度が1%では臨界膜厚は500～1,000 Å程度であるが、0.1%になると数千Å～数μmにまで広がる。

Matthews と Blakeslee は転位に働く力の力学的平衡により臨界膜厚を計算した⁵⁾。その結果、図2の曲線Bのように実験結果よりやや小さな値を導く。一方、People と Bean は転位に蓄積されたエネルギーの平衡により臨界膜厚を計算し、図2の曲線Aのような結果を得ている⁶⁾。実際の系では、A, B 両曲線の間分布している。

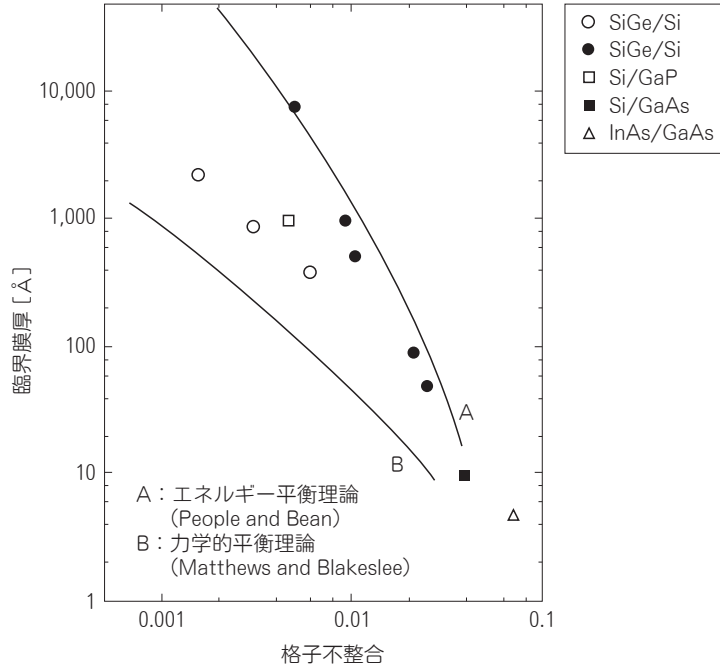
[参考1] Matthews の式

歪みを受ける層が上下両層から挟まれている場合（ダブルヘテロ構造）の臨界膜厚 h_c は式 (1)

$$h_c = \frac{b(1-v \cos^2 \alpha)}{2\pi f(1+v) \cos \lambda} \left(\ln \frac{h_c}{b} + 1 \right) \quad (1)$$

で表される。ここで b は転位のバーガース-ベクトル、 v はポワソン比、 f は格子不整合度 $|\Delta a/a|$ 、 α は転位線とバーガース-ベクトルのなす角、 λ はすべり面と界面のなす角である。

通常のコヒーレント転位 (刃状転位 edge dislocation) を考えると、 $\alpha = 90$ 度、 $\lambda = 0$ 度であるから、式 (2)



出典 梅野正義, 蘇我哲夫: 結晶成長ハンドブック, 小松啓編: 共立出版, p.699 (1995).

図2 種々の半導体の格子不整合度と臨界膜厚の関係

$$h_c = \frac{b}{2\pi f} \frac{1}{(1+v)} \left(\ln \frac{h_c}{b} + 1 \right) \quad (2)$$

と表される。

[参考2] People and Bean の式

無転位の状態の歪みエネルギーと転位が発生して緩和が起こった場合の状態の歪みエネルギーが等しくなる膜厚として臨界膜厚を計算したもので、式(3)

$$h_c = \frac{1-v}{1+v} \frac{1}{16\pi\sqrt{2}} \frac{b^2}{a} \frac{1}{f^2} \ln \frac{h_c}{b} \quad (3)$$

と表される。

4. 熱膨張係数差

前述の理論では、格子整合した場合に臨界膜厚は最大になるはずである。しかし実際には、臨界膜厚が最も厚くなるのは、格子不整合度が負にずれた値を持つ場合であることが、中嶋らに

よって示された⁷⁾。図3は、Ga_{1-x}In_xAs層をInP基板上に成長したときにコヒーレント成長する場合を膜厚と格子不整合度をパラメータとして示したものである。この組み合わせでは、格子不整合度が0ではなく、-0.08%のときに臨界膜厚が最大値をとるのである。

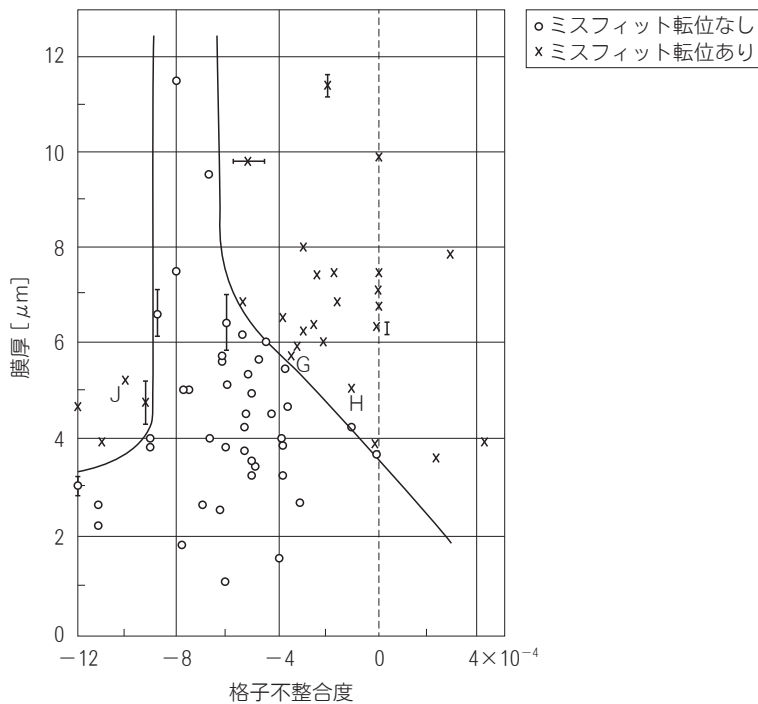
このずれの原因は、基板とエピタキシャル層の熱膨張係数の差にある。ヤング率をE、熱膨張係数の差をΔα、室温と成長温度の温度差をΔTとすると、結晶成長温度から室温までの冷却過程で、式(4)

$$\sigma = E \cdot \Delta\alpha \cdot \Delta T \tag{4}$$

だけの大きさの熱応力が生じる。熱応力はエピタキシャル層だけでなく、基板にも影響を与えるので、基板と膜両方の熱膨張による下記のような補正をしなければならない(式(5))。

$$\Delta a/a = \frac{(a_{e0} + \alpha_e \Delta T) - (a_{s0} + \alpha_s \Delta T)}{(a_{s0} + \alpha_s \Delta T)} \tag{5}$$

ここでa_{e0}とa_{s0}はそれぞれエピタキシャル層と基板の室温での格子定数、α_eとα_sはそれぞれエピタキシャル層と基板の熱膨張係数、ΔTは成長温度と室温の温度差を表す。



出典 K. Nakajima, S. Komiya, K. Akita, T. Yamaoka, O. Ryuzan : *J. Electrochem. Soc.*, 127, pp.1568 - 1572 (1980).

図3 膜厚と格子不整合度をパラメータとして示したミスフィット転位の発生しない領域(○印)

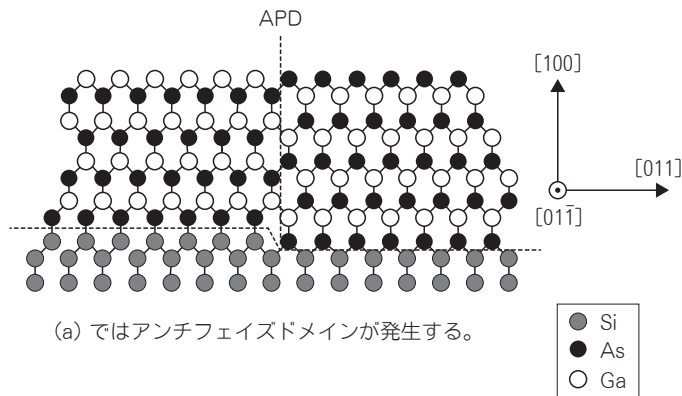
5. 極性・無極性ヘテロ成長—アンチフェイズドメイン

IV族のような無極性 (nonpolar) の基板に III-V 族など極性 (polar) 結晶層を成長する場合に原子配列の位相に入れ替わりが生じることがある。これは、基板のステップが図 4 (a) のように 1 原子から構成されるか、図 4 (b) のように 2 原子で構成されるかで極性結晶の原子配列が異なることが原因である。(a) の場合、最表面に Ga 原子が現れる領域と As 原子が現れる領域とに分かれるが、各領域を位相分域またはアンチフェイズドメイン (antiphase domain) と称している。領域の境界をアンチフェイズ境界 (antiphase boundary) と称するが、境界には、(a) に示すように Ga-Ga、As-As のように同種原子から構成される結合が存在する。

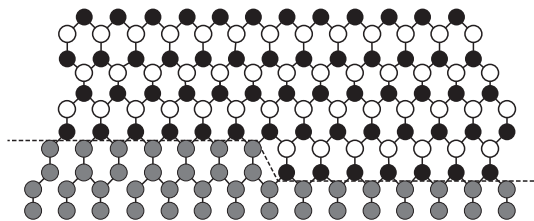
GaAs/Si においてアンチフェイズドメインをなくすには、オフ基板を用いることで 1 つの領域のみを残すように結晶成長をさせることが可能である。図 5 は {011} 方向にミスカットした Si (100) 基板上に成長した GaAs のアンチフェイズドメインが成長とともに自己消滅するさまを模式的に描いた図である⁸⁾。

成長過程において、高温で As を付着させると Si (小白丸) の最表面は As (黒丸) で覆われていると考えられる。この上に Ga/As/Ga・・と積層していく。正常な格子点領域 (A) では左手下方の 2 個の As 原子 (黒丸) から伸びている結合手に Ga 原子 (四角) が結合するのであるが、図の 1, 1', 2, 2', 3, 3' の格子点では、As (黒丸) と Ga (四角) から結合手が伸びているため、

(a) 1 原子ステップで構成される (100) Si 表面上の GaAs

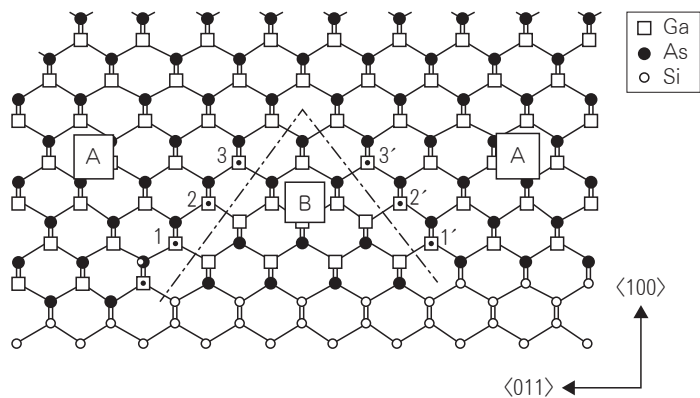


(b) 2 原子ステップで構成される (100) Si 表面上の GaAs



出典 梅野正義, 蘇我哲夫: 結晶成長ハンドブック, 小松啓編: 共立出版, p.699 (1995).

図 4 GaAs/Si におけるアンチフェイズドメインの発生



出典 川辺他：第4回結晶工学シンポジウムテキスト, pp.1-8 (1987.7.17)

図5 GaAs/SiのアンチフェイズドメインA,Bのうち、B分域が自己消滅する様子

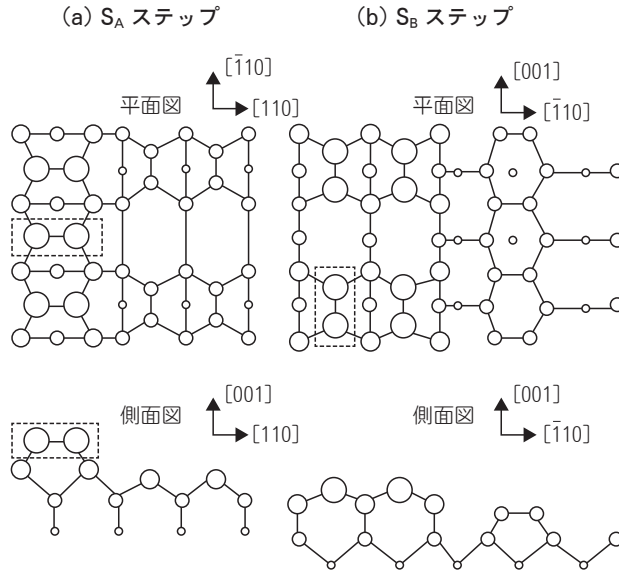
Ga、Asのどちらの可能性もある。

ここでは、このサイトを仮にGaが占めるとする（四角に黒丸の記号）と、鎖線で示すアンチフェイズ境界は(111)面内にあり[100]方向への成長とともにB分域は消滅する。このことは、RHEEDによって実証されている。

[参考] 無極性結晶にもあるアンチフェイズ：傾斜基板の原子配列⁹⁾

Si、Geのような無極性結晶においても、1原子ステップ単位でみると、隣り合うステップは必ずしも等価ではない。

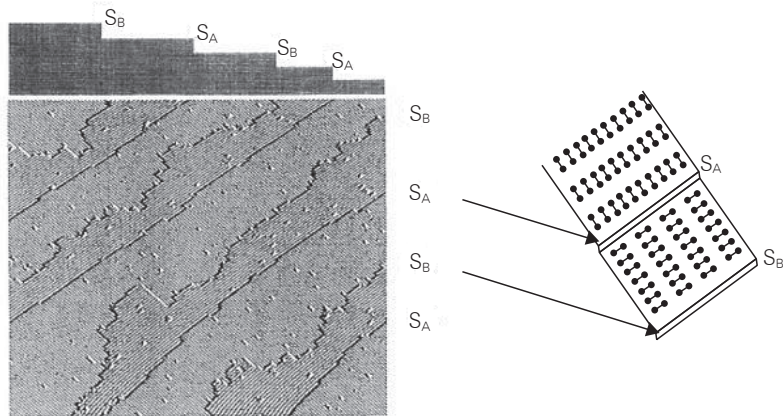
図6は(001)面において、[110]方向に傾斜している場合のステップ構造を示したものである。Siの単位胞における<100>方向の原子配置を考えると、格子定数を a として、 $z = 0, a/4, a/2, 3a/4$ の4つの原子層があるので、1原子あたりのステップ（これをsingle stepまたはatomic stepという）の高さは $a/4$ となる。[110]方向に隣接した2個のSi(001)表面原子は未結合手(DB = dangling bond)を出し合ってダイマー(2量体)を形成し、 2×1 表面再配列(surface reconstruction)構造をとるが、図6(a)のように上段テラスのダイマーの方向とステップ方向が垂直である場合を S_A ステップと称し、(b)のように上段テラスのダイマー方向が平行である場合を S_B ステップと称している。STMで観測すると、図7に示すように、 S_B ステップはギザギザの形状をとり、 S_A ステップはスムーズな形状となる。



出典 嘉数誠：エピタキシャル成長のメカニズム，中嶋一雄編：共立出版，p.137 (図4.10) (2002).

図で丸の大きいほど前であることを示している。

図6 (001) 傾斜基板の2種類の単原子ステップ

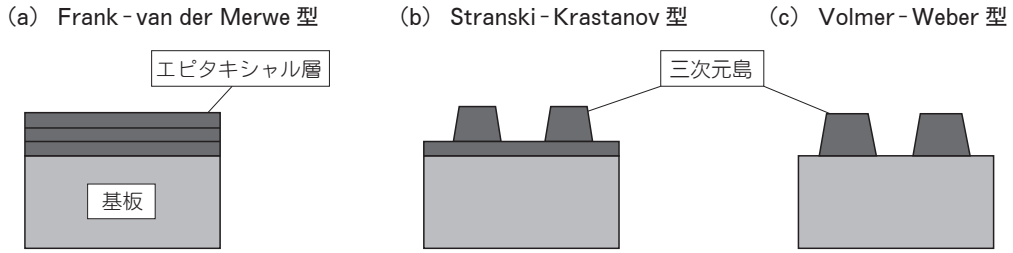


出典 嘉数誠：エピタキシャル成長のメカニズム，中嶋一雄編：共立出版，p.138 (図4.11) (2002).

図7 STMで観測した単原子ステップ。左上図は断面の模式図

6. 格子不整合がエピタキシャル成長に与える影響

格子不整合があると、歪みによってミスフィット転位が発生したり、エピタキシャル層が湾曲したりする現象の他、結晶の成長モードにも影響を与える。エピタキシャル成長の成長モードとしては、図8に示すように Frank-van der Merwe (FM) モード (基板表面に二次元核が形成さ



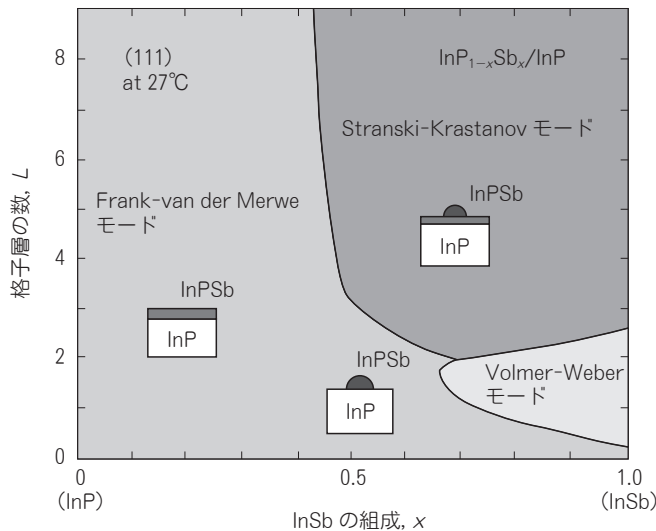
出典 中嶋一雄：エピタキシャル成長のメカニズム, 中嶋一雄編：共立出版, 第1章図1.6 (2002).

図8 エピタキシャル成長の3つのモード

れ、成長して表面全体を覆い、再びこの過程を繰り返して成長層が1原子層ずつ規則正しく層状成長するモード)、Stranski-Krastanov (SK) モード (成長初期は二次元核から層状成長し、ある厚さになると三次元的な島が形成され成長していくモード)、Volmer-Weber (VW) モード (成長初期から三次元核成長をするモード) の3つの型があることはよく知られている。

格子不整合度はこの結晶成長モードに影響するのである。格子不整合度が小さい場合FWモードとなるが、格子不整合度が比較的大きく、表面エネルギー、界面エネルギーの比較的小さい材料系ではSKモードとなる。GaAs基板上にInAsの量子ドットを自己組織化成長するのはSKモードの例である。格子不整合度の大きいヘテロエピタキシャル成長ではVWモードとなる。中嶋らは、液滴モデルを用いて、InPSb/InP構造について図9に示すような成長モードの層厚-組成状態図を作成した¹⁰⁾。層数Lの小さい場合はInSb組成の増加とともにFWモードからSKモードに移行するが、Lが小さな場合FWからVWへ転移する。

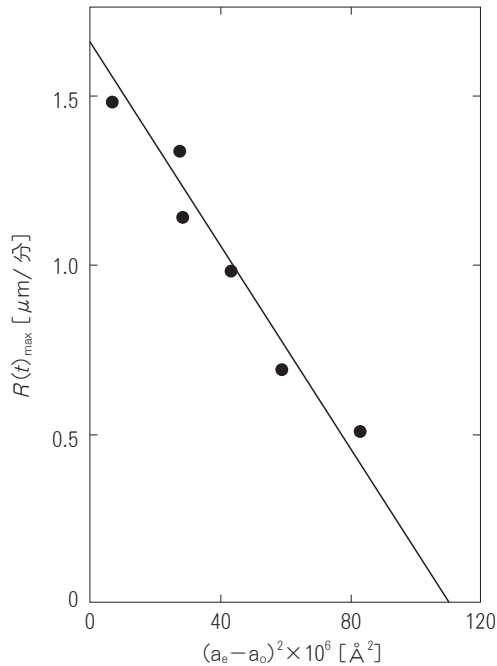
格子不整合度 f は成長速度にも影響する。成長速度 $R(t)$ は f に対して $\exp(-Ef^2)$ のように



出典 中嶋一雄：エピタキシャル成長のメカニズム, 中嶋一雄編：共立出版, 第1章図1.11 (2002).

図9 $\text{InP}_{1-x}\text{Sb}_x/\text{InP}$ 系における格子歪みと成長モードの関係を示す状態図

指数関数的に変化する¹¹⁾。格子不整合度が高くなると、結晶成長速度は急激に低下する。一例として、Ga₂O₃添加 YIG/GGG に見られる格子不整合度と成長速度の関係を図10に示す¹²⁾。



出典 J. C. Brice et al. : *J. Cryst. Growth*, **30**, pp.66-76 (1975).

図10 成長速度 $R(t)_{\max}$ と格子不整合度の関係

7. 異種原子価ヘテロ成長—III-V族半導体基板上へのII-VI族半導体層のエピタキシャル成長¹³⁾

ZnSeは青色半導体材料として多くの研究がなされたが、最近ではInGaNの登場ですっかり影が薄くなってしまった。II-VI族には良質の基板材料がないので、多くの場合結晶構造が同じ閃亜鉛鉱構造を持ち比較的格子定数が近いGaAsを用いることが多い。しかし、イオン結合性の強いII-VI族と共有性のIII-V族のヘテロ界面には、界面準位など解決すべき多くの課題が残る。ZnSe/GaAsの場合、GaAsにとってZn、Seは、それぞれ、アクセプタおよびドナーであり、逆にZnSeにとってGaとAsはそれぞれドナーおよびアクセプタである。界面は急峻ではなく、相互拡散が起きるので、界面付近には高密度の不純物が存在する。また、界面のZnSe側にGa₂Se₃が形成されることも知られている。また、たとえ急峻な界面が形成されたとしても、界面のバンドプロファイルは複雑であることが歪み超格子の第一原理バンド計算で示されている。

8. 格子不整合度がある場合に転位を抑制する成長技術

8.1 バッファ層の導入

基板と成長層の格子定数が異なる場合によく使われる手段がバッファ層の挿入である。秋山らは、GaAs/Si の場合、バッファ層を低温 (400°C以下)、低速度 (0.1 μm/h 程度) で 10 nm 程度成長させ、その後通常の成長条件に移る。この 2 段階成長によってミスフィットに起因する結晶欠陥がバッファ層に閉じこめられて良質のエピタキシャル層を作製できることを報告した¹⁴⁾。

8.2 歪み超格子の利用

格子不整合があっても成長層が臨界膜厚より薄い層では、面内の格子定数が一致して pseudomorphic に成長する。この性質を利用して歪み超格子をバッファ層として用いれば、格子定数の異なる基板とエピタキシャル膜を格子整合させることが可能である。梅野らは、**図 11** に示すように、Si 基板上に III-V 族を MOVPE 法で成長する際に中間層として [GaP/GaAsP]₁₀ SL 歪み超格子と [GaAsP/GaAs]₁₀ SL 歪み超格子の 2 層を用いることを提案し、Ge/Si 基板上に直接 GaAs を成長した場合に比し、結晶性が向上し、その結果フォトルミネッセンス強度が 1 桁強くなると報告した¹⁵⁾。

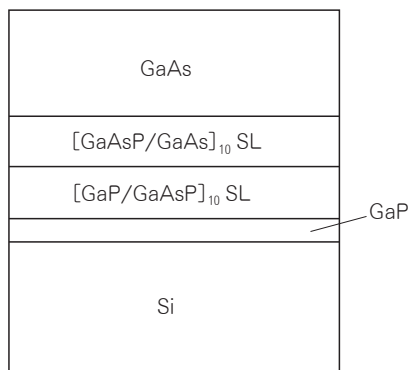


図 11 歪み超格子を中間層として用いる方法

8.3 オフ基板の利用

5. で、Si 上の III-V ヘテロエピタキシャルについて、Si (100)-オフ基板を使うと、アンチフェイズドメインを抑制できると述べたが、オフ基板を用いると貫通転位、欠陥生成も抑制できることがわかっている¹⁶⁾。オフ基板による高品質 GaAs エピタキシャル層を応用したトランジスタなどの作製報告例¹⁷⁾もある。Fang らは、Si 基板上に GaAs をはじめとする化合物半導体を作製する方法についての詳しいレビューを書いている¹⁸⁾。ごく最近、Intel 社がこの技術を応用して、Si 上で高品質 III-V 成長層を形成し、Si 上 InGaAs フィン FET を作製している¹⁹⁾。Si 上の III-V の欠陥抑制のために厚膜の III-V 層を成長させていて、トランジスタとして使用している層は最表面のわずか数十ナノメートルである。

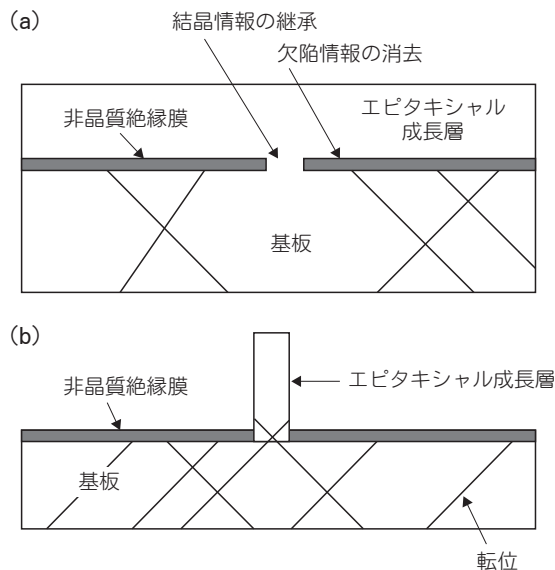
8.4 不純物の添加

GaP/Si の場合、2%程度の N を添加することによって Si と格子整合することが明らかにされ、Si(キャップ)/GaP_{1-x}N_x/GaP(シード)/Si(基板) の構造をとることで欠陥のない GaPN を作製でき²⁰⁾、これを用いて MOSFET が形成できることが示されている²¹⁾。

9. 成長領域選択成長 (マイクロチャネルエピタキシー) によるミスフィット転位の軽減

GaN をサファイヤ基板上に成長する場合のように、基板と成長薄膜に大きな格子定数差があると、ミスフィット転位をまぬがれることができない。しかし、図 12 に示すように、SiO₂ など非晶質で覆い、部分的に基板が露出するような構造を持つ材料を基板とすると、ミスフィット転位をかなり減少できる。このような方法は成長領域選択成長 SAE (Selective Area Epitaxy)、エピタキシャルラテラル成長 ELO (Epitaxial Lateral Overgrowth)、と呼ばれるが、西永らは MCE (MicroChannel Epitaxy) という用語を使うべきであると提唱した²²⁾。

MCE の原理について、西永の解説²³⁾に従って説明しておこう。図 12 (a) は面内成長の場合である。マイクロチャネルを通して結晶格子の対称性などの情報が成長結晶に伝達され、それを受けて非晶質の面に沿って横方向に結晶が成長する。チャネルを通り抜けた転位があったとしても、転位密度は大幅に減少しているはずである。また、それらの多くは面内成長方向に曲げられて、エピタキシャル膜表面まで貫通しない。一方、図 12 (b) は垂直成長の場合で、狭いチャネルから垂直方向に結晶が成長する。適切な基板方位を選択することによって、成長結晶側面にぶ



出典 T. Nishinaga : *J. Cryst. Growth*, 237-239, p.1411, Fig.2 (2002).

図 12 成長領域選択成長 (マイクロチャネルエピタキシャル) の概念図

つかった転位を除去することができる。

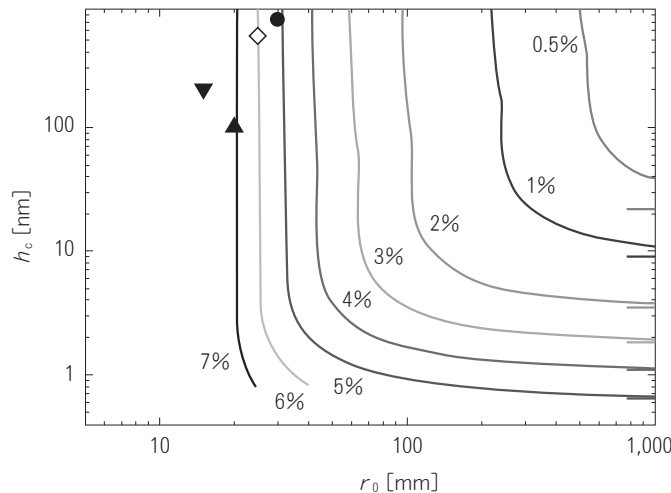
ハイドライド気相成長 (HVPE) 法で GaN をサファイア基板上に作製するためにこの技術を使う手法は、1995 年に名古屋大学グループから提案され²⁴⁾。その後、碓井らによって実用化された²⁵⁾。

10. ナノワイヤ成長における臨界膜厚増大とナノワイヤを用いた縦型トランジスタの実現

最近一次元ナノ細線構造で臨界膜厚について、新しい計算結果が報告された²⁶⁾。計算にあたり、基本的には Matthews の式を踏襲し、Matthews の無限平面の仮定をナノ細線のようなナノメートルスケールの成長領域に限定した。計算にあたり、ポワソン比 $\nu = 1/3$ としている。

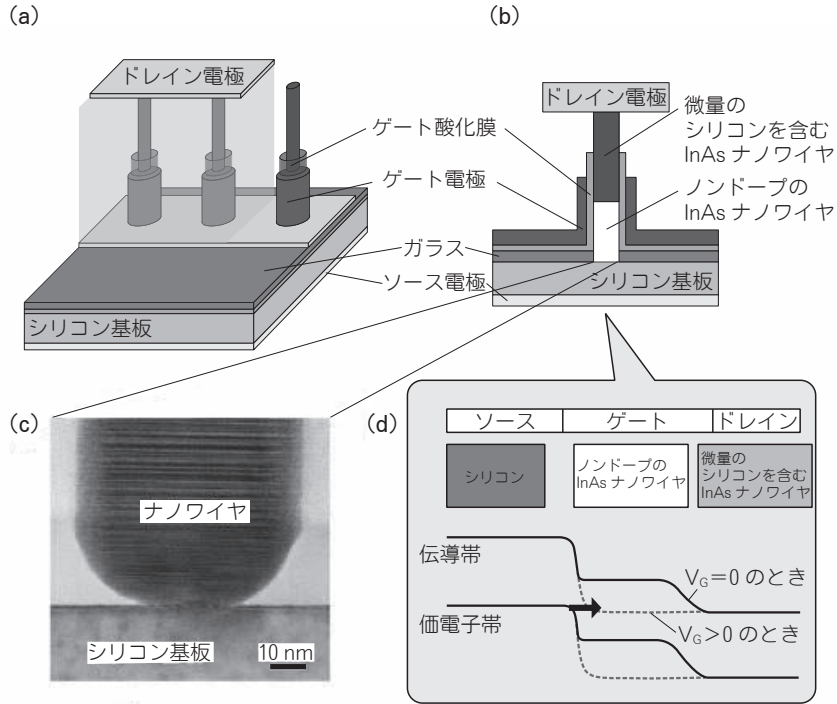
図 13 は、ナノワイヤにおける臨界膜厚 h_c とワイヤ直径 r_0 の関係を、格子不整合度 [%] をパラメータとしてプロットしたものである。成長領域の直径において、臨界膜厚が無限に発散することが見られる。この計算結果は、InAs/InP ナノワイヤ²⁷⁾ や Si 上の GaAs 選択成長ナノワイヤ²⁸⁾ で実験的に検証されている。

最近、富岡は、図 14 (a) に示すように Si (111) 基板を SiO₂ ガラスでカバーし、電子線リソグラフィで加工した直径 10 ~ 20 nm の孔をマイクロチャネルとして、ほぼ転位フリーの InAs のナノワイヤを図 14 (c) のようにヘテロエピタキシャル成長することによって、InAs/Si 界面のバンド不連続を利用した縦型トンネル FET (図 14 (b)) を作製し、SS = 21 mV/dec という世界最高性能のトンネル FET を実現し、成長領域選択によるナノワイヤ成長の有効性を示した²⁹⁾。また、Si 上にエピタキシャル成長した InGaAs をチャネルとするコアシェル構造のナノワイヤ FET を作製し、10⁸ という高いオン / オフ比を持つトランジスタを実現している³⁰⁾。



出典 F. Glas : *Phys. Rev.*, **B74**, 121302 (R) Fig.2 (2006).

図 13 格子不整合度 (%) をパラメータとしてプロットしたナノワイヤにおける臨界膜厚 h_c 対ワイヤ直径 r_0 のグラフ。ポワソン比 $\nu = 1/3$ として計算したもの



出典 JST ニュース 2012年8月号 p.10 掲載図(2012).

図14 シリコン(111)基板に選択成長したInAsナノワイヤを用いた縦型トランジスタ

Si上のIII-Vで問題となる欠陥、転位を効果的に抑制するとともに、集積回路のコストや現状の技術との整合性に見合ったヘテロエピタキシャル成長技術が求められており、ナノメートルスケールの選択成長技術は、転位を効果的に減らせるだけでなく、大規模プロセス、コストなどの観点からも、Si上のIII-Vチャンネル材料をヘテロ集積する技術として有望視されている。

11. おわりに

本稿では、ヘテロエピタキシーとは何か、どのような物理的な課題があるのかについて、基礎となる事柄を述べるとともに、デバイス作製のために界面の欠陥を抑制する技術について簡単に紹介した。短い文章では、全ての課題を網羅することはできないが、これからヘテロエピタキシャル結晶成長に携わる初心者のご参考になれば幸いである。

本稿を書くにあたり、富岡克広博士(独科学技術振興機構さきがけ「次世代デバイス」研究者)の協力を得た。ここに感謝する。

参考・引用文献

- 1) Landolt-Börnstein : New Series III-8, Epitaxy Data of Inorganic and Organic Crystals, K-H Hellwege ed., Springer (1972).
- 2) 中嶋一雄 : エピタキシャル成長のメカニズム, 中嶋一雄編, 共立出版, 第1章 pp.1-20 (2002).
- 3) 竹田美和 : エピタキシャル成長のメカニズム, 中嶋一雄編, 共立出版, 第5章 5.1項 p.171 (2002).
- 4) 梅野正義, 蘇我哲夫 : 結晶成長ハンドブック, 小松啓編, 共立出版, p.699 (1995).
- 5) J. W. Matthews, A. E. Blakeslee : Defects in epitaxial multilayers : I. Misfit dislocations ; *J. Cryst. Growth*, **27**, pp.118-125 (1974).
- 6) R. People, J. C. Bean : Calculation of critical layer thickness versus lattice mismatch for $\text{Ge}_x\text{Si}_{1-x}$ /Si strained-layer heterostructures ; *Appl. Phys. Lett.*, **47**, pp.322-324 (1985).
- 7) K. Nakajima, S. Komiya, K. Akita, T. Yamaoka, O. Ryuzan : LPE Growth of Misfit Dislocation-Free Thick $\text{In}_{1-x}\text{Ga}_x\text{As}$ Layers on InP ; *J. Electrochem. Soc.*, **127**, pp.1568-1572 (1980).
- 8) 川辺光央, 高杉英利, 上田登志雄, 横山新, 板東義雄 : GaAs on Si の初期成長過程 ; 応用物理学会結晶工学分科会第4回結晶工学シンポジウムテキスト, pp.1-8 (1987.7.17).
- 9) 嘉数誠 : エピタキシャル成長のメカニズム, 中嶋一雄編, 共立出版, 4.2.2項 p.136 (2002).
- 10) K. Nakajima : Equilibrium Phase Diagrams for Stranski-Krastanov Structure Mode of III-V Ternary Quantum Dots ; *Jpn. J. Appl. Phys.*, **38**, pp.1875-1883 (1999).
- 11) R. L. Moon : Crystal Growth, Second Edition, ed. by B. Pamplin, Pergamon Press, Oxford, Chap., 11, pp.421-461 (1980).
- 12) J. C. Brice, J. M. Robertson, W. T. Stacy, J. C. Verplanke : Strain induced effects in the LPE growth of garnets ; *J. Cryst. Growth*, **30**, pp.66-76 (1975).
- 13) 松本俊 : GaAs/ZnSe のヘテロ接合界面の制御 ; 結晶工学分科会103回研究会テキスト, p.39 (1995.1).
- 14) M. Akiyama, Y. Kawarada, K. Kaminishi : Growth of GaAs on Si by MOVCD ; *J. Cryst. Growth*, **68**, pp.21-26 (1984).
- 15) T. Soga, S. Hattori, S. Sakai, M. Takeyasu, M. Umeno : MOCVD growth of GaAs on Si substrates with AlGaP and strained superlattice layers ; *Electron. Lett.*, **20**, pp.916-918 (1984).
- 16) R. Fischer, D. Neuman, H. Zabel, H. Morkoç, C. Choi, N. Otsuka : Dislocation reduction in epitaxial GaAs on Si (100) ; *Appl. Phys. Lett.*, **48**, pp.1223-1225 (1986).
- 17) R. Fischer, N. Chand, W. Kopp, H. Morkoç, L.P. Erickson, R. Youngman : GaAs bipolar transistors grown on (100) Si substrates by molecular beam epitaxy ; *Appl. Phys. Lett.*, **47**, pp.397-399 (1985).
- 18) S. F. Fang, K. Adoni, S. Iyer, H. Morkoç, H. Zebel, C. Choi, N. Ohtsuka : Gallium arsenide and other compound semiconductors on silicon ; *J. Appl. Phys.*, **68**, R31-R58 (1990).
- 19) M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, Robert Chau : Advanced High-K Gate Dielectric for High-Performance Short-Channel $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ Quantum Well Field Effect Transistors on Silicon Substrate for Low Power Logic Applications ; *IEDM Tech. Digest*, **13**, pp.319-322 (2009).
- 20) K. Momoe, H. Yonezu, Y. Fujimoto, Y. Furukawa, Y. Motomura, K. Aiki : Dislocation-free and lattice-matched $\text{Si}/\text{GaP}_{1-x}\text{N}_x/\text{Si}$ structure for photo-electronic integrated systems ; *Appl. Phys. Lett.*, **79**, pp.4151-4153 (2001).
- 21) Y. Furukawa, H. Yonezu, Y. Morisaki, S.-Y. Moon, S. Ishiji, A. Wakahara : Monolithic Implementation of Elemental Devices for Optoelectronic Integrated Circuit in Lattice-Matched Si/III-V-N Alloy Layers ; *Jpn. J. Appl. Phys.*, **45**, L920-L922 (2006).

- 22) T. Nishinaga, H. J. Scheel : in *Advances in Superconductivity VIII*, eds, H. Hayakawa, J. A. Burns : Springer, Tokyo, p.33 (1966).
- 23) T. Nishinaga : Microchannel epitaxy : an overview ; *J. Cryst. Growth*, **237-239**, pp.1410-1417 (2002).
- 24) T. Detchprohm, T. Kuroda, K. Hiramatsu, N. Sawaki, H. Goto : The selective growth in hydride vapor phase epitaxy of GaN ; *Inst. Phys. Conf. Ser.*, **142**, Chap.5, pp.859-862 (1995).
- 25) A. Usui, H. Sunakawa, A. Sakai, A. Yamaguchi : Thick GaN Epitaxial Growth with Low Dislocation Density by Hydride Vapor Phase Epitaxy ; *Jpn. J. Appl. Phys.*, **36**, L899-L902 (1997).
- 26) F. Glas : Critical dimensions for the plastic relaxation of strained axial heterostructures in free-standing nanowires ; *Phys. Rev.*, **B74**, 121302 (R) (2006).
- 27) M. W. Larsson, J. B. Wagner, M. Wallin, P. Hakansson, L. Samuelson, L. R. Wallenberg : Strain mapping in free-standing heterostructured wurtzite InAs/InP nanowires ; *Nanotechnology*, **18**, 015504 (2007).
- 28) K. Tomioka, Y. Kobayashi, J. Motohisa, S. Hara, T. Fukui : Selective-area growth of vertically aligned GaAs and GaAs/AlGaAs core-shell nanowires on Si(111) substrate ; *Nanotechnology*, **20**, p.14302 (2009).
- 29) K. Tomioka, T. Fukui : Steep-slope Tunnel Field-Effect Transistors using III-V Nanowire/Si Heterojunction ; *IEEE VLSI Technology 2012 Tech. Dig.*, pp.47-48 (2012).
- 30) K. Tomioka, M. Yoshimura, T. Fukui : A III-V nanowire channel on silicon for high-performance vertical transistors ; *Nature*, **488**, pp.189-192 (2012).